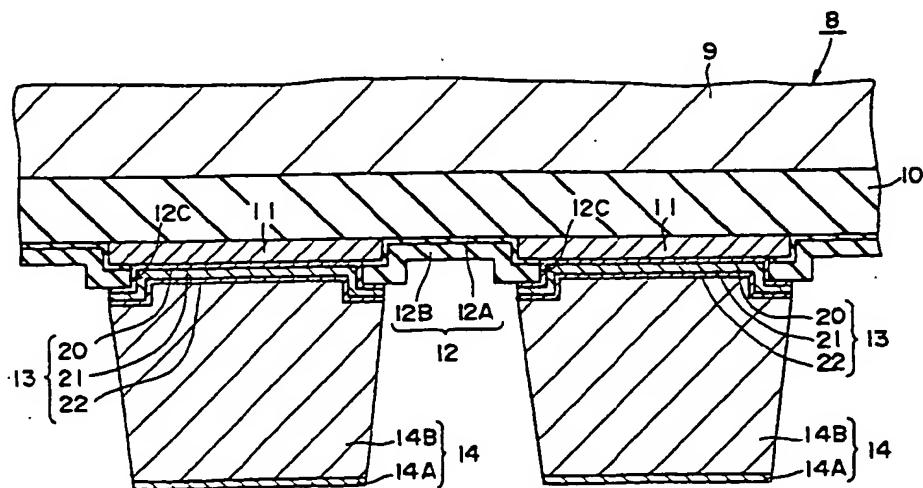




(51) 国際特許分類6 H01L 21/92, 21/60	A1	(11) 国際公開番号 WO97/03465
		(43) 国際公開日 1997年1月30日(30.01.97)
(21) 国際出願番号 PCT/JP96/00432		(74) 代理人 弁理士 秋田収喜(AKITA, Shuki)
(22) 国際出願日 1996年2月26日(26.02.96)		〒116 東京都荒川区西日暮里6丁目53番3号 藤井ビル201号 Tokyo, (JP)
(30) 優先権データ 特願平7/175703 1995年7月12日(12.07.95) JP		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		添付公開書類 国際調査報告書
(72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 宇田隆之(UDA, Takayuki)(JP/JP) 〒259-13 神奈川県秦野市松原町5-30 ハウス相原201号 Kanagawa, (JP) 菊地 広(KIKUCHI, Hiroshi)(JP/JP) 〒198 東京都青梅市河辺町10-10-3 サンライズイトウ402号室 Tokyo, (JP) 佐藤俊彦(SATO, Toshihiko)(JP/JP) 〒350-13 埼玉県狭山市北入曽755-1 ガーデンシティ狭山2-511 Saitama, (JP)		

(54) Title: SEMICONDUCTOR PELLET, METHOD OF ITS PACKAGING, AND BUMP ELECTRODE

(54) 発明の名称 半導体ペレット及びその実装方法並びにバンプ電極



## (57) Abstract

A semiconductor pellet having bump electrodes on external terminals. The bump electrode comprises a laminate structure of a Pb layer and a thinner Sn layer on the surface of the external terminal. In this way, the semiconductor pellet can be connected to the surface of a resin substrate having a low heat resistance through the bump electrode without using a low-melting preparatory solder. A semiconductor device with an increased number of pins can be realized by connecting the semiconductor pellet through the bump electrodes to a resin substrate having a low heat resistance. The yield of the semiconductor device can be improved by using the semiconductor pellet with the bump electrodes, together with a resin substrate having a low heat resistance.

## (57) 要約

外部端子上にバンプ電極を有する半導体ペレットであって、バンプ電極を外部端子の表面側から、Pb膜、このPb膜の膜厚に比べて薄いSn膜の夫々を順次積層した積層構造で構成することにより、低融点組成の迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装することができる。また、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介して半導体ペレットを実装する半導体装置の多ピン化を図ることができる。また、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の歩留まりを高めることができる

情報としての用途のみ  
PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	ES	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	FF	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SDE	スードン
BA	ボスニア・ヘルツェゴビナ	GR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GB	ガボン	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GE	イギリス	LV	ラトヴィア	SI	スロベニア
BF	ブルキナ・ファソ	GR	グルジア	MC	モナコ	SK	スロヴァキア
BG	ブルガリア	GR	ギニア	MD	モルドバ共和国	SN	セネガル
BJ	ベナン	HU	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	IE	ハンガリー	MK	マケドニア旧ユーゴスラ	TD	チャド
BY	ベラルーシ	IL	アイルランド	ML	マリ	TG	トーゴ
CA	カナダ	IS	イスラエル	MN	モンゴル	TJ	タジキスタン
CF	中央アフリカ共和国	IT	イタリア	MR	モーリタニア	TM	トルコミニスタン
CG	コンゴ	JP	日本	MW	マラウイ	TR	トリニダード・トバゴ
CH	スイス	KE	ケニア	MX	メキシコ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KG	キルギスタン	NE	ニジエール	UA	ウガンダ
CM	カメルーン	KP	朝鮮民主主義人民共和国	NL	オランダ	UG	アメリカ合衆国
CN	中国	KR	大韓民国	NO	ノールウェー	US	アメリカ合衆国
CU	キューバ	KZ	カザフスタン	NZ	ニュージーランド	VN	ヴィエトナム
CZ	チェコ共和国						

## 明細書

## 半導体ペレット及びその実装方法並びにバンプ電極

## 技術分野

本発明は、実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する実装技術に関するものである。

## 背景技術

実装基板の実装面上に半導体ペレットを実装する実装技術において、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装するCCB (Controlled Collapse Bonding) 実装技術が、IEEE [Controlled Collapse Chip Connection(C4)]' Ann Enabling Technology, 1994, pp. 387 ~ 394] に開示されている。このCCB 実装技術は、高融点組成からなるバンプ電極及び低融点組成からなる迎え半田を用いて半導体ペレットを実装している。以下、CCB 実装技術による実装方法について説明する。

まず、実装基板及び半導体ペレットを準備する。実装基板は例えばガラス繊維にエポキシ樹脂を含浸させた樹脂基板で形成されている。この場合の実装基板の耐熱温度は 260 [°C] × 60 秒 ~ 120 秒程度である。半導体ペレットは、その主面の外部端子上にバンプ電極を有している。バンプ電極は例えば 99 ~ 95 [重量 %] Pb - 1 ~ 5 [重量 %] Sn の組成の合金材で形成されている。この場合のバンプ電極の融点は 318 ~ 325 [°C] 程度である。半導体ペレットの主

面の外部端子は、バンプ電極との高い濡れ性を確保するため、下地金属膜 (B L M : Ball Limiting Metalization) で構成されている。

この外部端子は、半導体ペレットの最終保護膜に形成された開口を通して下層の内部端子に接続されている。下地金属膜は、この構造に限らず定されないが、下層の内部端子の表面側から、半導体ペレットの最終保護膜に対して接着性を有する金属膜(例えばCr膜)、バンプ電極に対して濡れ性を有する金属膜(例えばCu膜)、非酸化性を有する金属膜(例えばAu膜)の夫々を順次積層した積層構造で構成されている。

次に、前記実装基板の実装面の外部端子の表面上にスクリーン印刷法でペースト状の迎え半田を形成(印刷)する。迎え半田は例えば37

10 [重量%] Pb - 63 [重量%] Sn の共晶組成で形成されている。この場合の迎え半田の融点は183 (Pb - Sn共晶温度) [°C] 程度である。スクリーン印刷法は、スクリーンマスク上に置かれたペースト状の迎え半田をスキージによりスクリーンマスクの開口部から実装基板の実装面の外部端子の表面上に転写する方法である。

15 次に、前記実装基板の実装面上に前記半導体ペレットを配置すると共に、実装基板の外部端子と半導体ペレットの外部端子との間にバンプ電極を配置する。実装基板の外部端子とバンプ電極の一端部との間には、ペースト状の迎え半田が介在されている。

20 次に、183 (Pb - Sn共晶温度) [°C] よりも若干高めの温度で熱処理を施して、前記ペースト状の迎え半田を溶融し、次に凝固し、実装基板の実装面の外部端子とバンプ電極の一端部とを固着する。これにより、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装することができる。

25 なお、バンプ電極をSnの含有量 [重量%] が少ない高融点組成の

Pb-Sn合金材で形成する理由は、実装基板と半導体ペレットとの熱膨張係数の差に起因するバンプ電極の破損を防止するためである。バンプ電極は、Snの含有量[重量%]の増加に伴って硬くなる。

## 5 発明の開示

前記高融点組成からなるバンプ電極及び低融点組成からなる迎え半田を用いて半導体ペレットを実装するCCB実装技術は、実装基板の外部端子の表面上にスクリーン印刷法でペースト状の迎え半田を形成した後、実装基板の実装面上に半導体ペレットを配置し、その後、熱10処理を施して半導体ペレットを実装している。このため、ペースト状の迎え半田を形成する工程に相当する分、実装時の工程数が増加する。

また、スクリーン印刷法は、スクリーンマスク上に置かれたペースト状の迎え半田をスキージによりスクリーンマスクの開口部から実装基板の実装面の外部端子の表面上に転写する方法であるが、スクリー15ンマスクの開口部の配列ピッチは300[μm]程度が限界である。

一方、実装基板の外部端子の配列ピッチは、薄膜配線層に外部端子を形成すれば100[μm]程度まで微細化することができる。また、半導体ペレットの外部端子の配列ピッチは、フォトリソグラフィ技術で外部端子を形成すれば100[μm]程度まで微細化することができる。また、バンプ電極の配列ピッチは、フォトリソグラフィ技術を用いたリフトオフ法でバンプ電極を形成すれば100[μm]程度まで微細化することができる。しかしながら、スクリーンマスクの開口部の配列ピッチは300[μm]程度が限界であるので、実装基板の外部端子、半導体ペレットの外部端子、バンプ電極の夫々の配列ピッ20チが迎え半田の配列ピッチで制約されてしまう。このため、バンプ電25チが迎え半田の配列ピッチで制約されてしまう。

極の配列ピッチを300 [ $\mu\text{m}$ ] 以下に設定することができないので、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の多ピン化を図ることができない。

5 また、スクリーン印刷法で形成される迎え半田の膜厚精度は低い。このため、実装基板の外部端子とバンプ電極の一端部とを接続する接続不良が発生し、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の歩留まりが低下する。

10 本発明の目的は、低融点組成の迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装することが可能な技術を提供することにある。

また、本発明の他の目的は、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の多ピン化を図ることが可能な技術を提供することにある。

15 また、本発明の他の目的は、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の歩留まりを高めることができが可能な技術を提供することにある。

20 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

25 外部端子上にバンプ電極を有する半導体ペレットであって、前記バンプ電極を、前記外部端子の表面側から、Pb膜、このPb膜の膜厚

に比べて薄い S<sub>n</sub> 膜の夫々を順次積層した積層構造で構成する。Pb 膜、S<sub>n</sub> 膜の夫々は蒸着法で形成されている。

前述の手段によれば、バンプ電極の一端部には Pb 原子と S<sub>n</sub> 原子とが反応して共晶組成を形成する Pb - S<sub>n</sub> 界面が存在するので、バンプ電極の一端部 (S<sub>n</sub> 膜) を Pb - S<sub>n</sub> 共晶温度 (183 [°C]) で溶融することができる。この結果、実装基板の実装面上に半導体ペレットを実装する実装時において、実装基板の外部端子とバンプ電極の一端部とを Pb - S<sub>n</sub> 共晶温度 (183 [°C]) で電気的にかつ機械的に接続することができるので、スクリーン印刷法で形成される低融点組成の迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装することができる。

また、スクリーン印刷法で形成された低融点組成の迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板の実装面上に半導体ペレットを実装することができるので、スクリーン印刷法で形成される迎え半田の制約を受けずに、実装基板の外部端子、半導体ペレットの外部端子、バンプ電極の夫々の配列ピッチを設定することができ、バンプ電極の配列ピッチを 300 [μm] 以下にすることができる。この結果、耐熱温度の低い樹脂基板からなる実装基板の実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の多ピン化を図ることができる。

また、蒸着法で形成される Pb 膜、S<sub>n</sub> 膜の夫々の膜厚精度は、スクリーン印刷法で形成される迎え半田の膜厚精度に比べて高いので、実装基板の外部端子とバンプ電極の先端部との接続不良を防止することができる。この結果、耐熱温度の低い樹脂基板からなる実装基板の

実装面上にバンプ電極を介在して半導体ペレットを実装する半導体装置の歩留まりを高めることができる。

#### 図面の簡単な説明

5 第1図は、本発明の実施形態1である半導体装置の断面図である。

第2図は、実装工程が施される前の状態を示す実装基板の要部断面図である。

第3図は、前記実装基板の平面図である。

10 第4図は、実装工程が施される前の状態を示す半導体ペレットの要部断面図である。

第5図は、前記半導体ペレットの平面図である。

第6図は、前記半導体ペレットの形成方法を説明するための要部断面図である。

15 第7図は、前記半導体ペレットの形成方法を説明するための要部断面図である。

第8図は、前記半導体ペレットの形成方法を説明するための要部断面図である。

20 第9図は、前記半導体ペレットの形成方法を説明するための要部断面図である。

第10図は、前記半導体ペレットの実装方法を説明するための断面図である。

25 第11図は、前記半導体ペレットの実装方法を説明するための要部拡大断面図である。

第12図は、前記半導体ペレットの変形例を示す要部断面図である。

第13図は、第12図に示す半導体ペレットの実装方法を説明する

ための要部拡大断面図である。

第14図は、前記半導体ペレットの他の変形例を示す要部断面図である。

第15図は、前記半導体ペレットの他の変形例を示す要部断面図である。

第16図は、本発明の実施形態2である半導体装置の要部断面図である。

第17図は、実装工程が施される前の状態を示す半導体ペレットの平面図である。

第18図は、本発明の実施形態3であるバンプ電極が配置された基体の断面図である。

第19図は、前記基体の要部拡大断面図である。

第20図は、前記バンプ電極の形成方法を説明するための要部断面図である。

第21図は、前記バンプ電極を用いた半導体ペレットの実装方法を説明するための断面図である。

第22図は、前記バンプ電極を用いた半導体ペレットの実装方法を説明するための断面図である。

第23図は、前記バンプ電極を用いた半導体ペレットの実装方法を説明するための断面図である。

第24図は、前記バンプ電極の変形例を示す断面図である。

発明を実施するための最良の形態

本発明の構成について、実施形態とともに説明する。

なお、実施形態を説明するための全図において、同一機能を有する

ものは同一符号を付け、その繰り返しの説明は省略する。

(実施形態 1)

本発明の実施形態 1 である半導体装置の概略構成を第 1 図(断面図)に示す。

5 第 1 図に示すように、半導体装置は、実装基板 1 の実装面上にバンプ電極 14 を介在して半導体ペレット 8 を実装している。

前記実装基板 1 は、例えば配線基板 2 及び薄膜配線層 3 で構成されている。配線基板 2 は例えばガラス繊維にエポキシ樹脂又はポリイミド樹脂を含浸させた樹脂基板で構成されている。この配線基板 2 は例えば多層配線構造で構成されている。薄膜配線層 3 は例えばポリイミド樹脂を絶縁層とする多層配線構造で構成されている。つまり、本実施例の実装基板基板 1 は、ガラス繊維にエポキシ樹脂又はポリイミド樹脂を含浸させた樹脂基板を母体とする構造で構成されている。この場合の実装基板 1 の耐熱温度は 260 [°C] × 60 秒～120 秒程度である。

15 前記実装基板 1 の薄膜配線層 3 には複数の外部端子 5 及びその下層に形成された複数の内部端子 4 が配置されている。この複数の外部端子 5 の夫々は薄膜配線層 3 の最終保護膜 3B に形成された開口(第 2 図に示す符号 3A)を通して複数の内部端子 4 の夫々に電気的にかつ機械的に接続されている。

20 前記実装基板 1 の配線基板 2 の裏面には複数の内部端子 6 が配置されている。この複数の内部端子 6 の夫々には外部端子 7 を介在して球形状のバンプ電極 16 が電気的にかつ機械的に接続されている。バンプ電極 16 は例えば Pb-Sn 系の合金材で形成されている。

25 前記半導体ペレット 8 は例えば単結晶珪素からなる半導体基板 9 を

主体に構成されている。半導体基板 9 の素子形成面(第 1 図において下面)には論理回路システム、記憶回路システム、或はそれらの混合回路システムが搭載されている。また、半導体基板 9 の素子形成面上には複数の外部端子 13 及びその下層に形成された複数の内部端子 11 が配置されている。複数の外部端子 13 の夫々は、最終保護膜 12 に形成された開口(第 4 図に示す符号 12C)を通して複数の内部端子 11 の夫々に電気的にかつ機械的に接続されている。複数の内部端子 11 の夫々は、半導体基板 9 の素子形成面に形成された半導体素子間を電気的に接続する配線層のうち、最上層の配線層に形成され、例えば A1 膜又は A1 合金膜で形成されている。なお、複数の内部端子 11 の夫々は層間絶縁膜 12 によって半導体基板 9 から絶縁分離されている。前記実装基板 1 の外部端子 5 と半導体ペレット 8 の外部端子 13 とはバンプ電極 14 で電気的にかつ機械的に接続されている。つまり、半導体ペレット 8 は実装基板 1 の実装面上に CCB 実装技術で実装されている。

前記実装基板 1 と半導体ペレット 8 との間の隙間領域には樹脂 15 が充填されている。樹脂 15 は、例えばエポキシ系熱硬化樹脂にシリカ充填剤、硬化促進剤、カップリング剤等を添加した絶縁性樹脂で形成されている。このように、実装基板 1 と半導体ペレット 8 との間の隙間領域に樹脂 15 を充填することにより、バンプ電極 14 の機械的強度を樹脂 15 の機械的強度で補うことができるので、実装基板 1 と半導体ペレット 8 との熱膨張係数の差に起因するバンプ電極 14 の破損を防止することができる。

前記実装基板 1 の外部端子 5 は、バンプ電極 14 との高い濡れ性を確保するため、バンプ電極 14 の下地金属膜 (BLM: Ball Limit

ing Metalization)として構成されている。外部端子5は、この構造に限定されないが、第2図(実装工程が施される前の状態を示す実装基板の要部断面図)に示すように、内部端子4の表面側から、最終保護膜3Bに対して接着性を有する金属膜20、バンプ電極14に対し濡れ性を有する金属膜21、非酸化性を有する金属膜22の夫々を順次積層した積層構造で構成されている。金属膜20は高融点金属膜である例えばCr膜で形成され、その膜厚は例えば0.1 [μm]程度で設定されている。金属膜21は例えばCu膜で形成され、その膜厚は例えば0.5~5 [μm]程度に設定されている。金属膜22は例えばAu膜で形成され、その膜厚は0.1 [μm]程度に設定されている。

前記外部端子7は、バンプ電極16との高い濡れ性を確保するため、バンプ電極16の下地金属膜として構成されている。外部端子7は、この構造に限定されないが、前述の外部端子5と同様に構成されている。

前記外部端子5と外部端子7とは、配線3C、スルーホール配線2B、電極6の夫々を介して電気的に接続されている。スルーホール配線2Bは、配線基板2に形成されたスルーホール2Aの内壁面に形成されている。このスルーホール2Aは機械的な加工(例えばドリル加工)によって形成されるので、その配列ピッチを300 [μm]以下に設定するには極めて困難である。しかしながら、本実施例の実装基板1は配線基板2及び薄膜配線層3で構成されているので、内部端子4、外部端子5の夫々の配列ピッチを300 [μm]以下に設定することができる。

前記内部端子4、外部端子5の夫々はフォトリソグラフィ技術で形

成されている。このフォトリソグラフィ技術は内部端子4、外部端子5の夫々の配列ピッチを100 [ $\mu\text{m}$ ] 程度まで微細化することができる。本実施例の実装基板1の外部端子5は、第3図(実装工程が施される前の状態を示す実装基板の平面図)に示すように、100 [ $\mu\text{m}$ ] の配列ピッチで配置されている。なお、第3図において、一点鎖線は半導体ペレット8の実装位置を示す。

前記半導体ペレット8の外部端子13は、バンプ電極14との高い濡れ性を確保するため、バンプ電極14の下地金属膜(BLM: Bal l Limiting Metalization)として構成されている。外部端子13は、この構造に限定されないが、第4図(実装工程が施される前の状態を示す半導体ペレットの要部断面図)に示すように、内部端子11の表面側から、最終保護膜12に対して接着性を有する金属膜20、バンプ電極14に対して濡れ性を有する金属膜21、非酸化性を有する金属膜22の夫々を順次積層した積層構造で構成されている。金属膜20は高融点金属膜である例えばCr膜で形成され、その膜厚は例えば0.1 [ $\mu\text{m}$ ] 程度に設定されている。金属膜21は例えばCu膜で形成され、その膜厚は例えば0.5~5 [ $\mu\text{m}$ ] 程度に設定されている。金属膜22は例えばAu膜で形成され、その膜厚は0.1 [ $\mu\text{m}$ ] 程度に設定されている。なお、最終保護膜12は、例えば窒化珪素膜12A、酸化珪素膜12Bの夫々を順次積層した積層構造で構成されている。

前記内部端子11、外部端子13の夫々はフォトリソグラフィ技術で形成されている。このフォトリソグラフィ技術は内部端子11、外部端子13の夫々の配列ピッチを100 [ $\mu\text{m}$ ] 程度まで微細化することができる。本実施例の半導体ペレット8の外部端子13は、第5

図（実装工程が施される前の状態を示す半導体ペレットの平面図）に示すように、100 [μm] の配列ピッチで配置されている。

前記バンプ電極14は、第4図に示すように、外部端子13の表面側から、Pb膜14B、このPb膜14Bの膜厚に比べて薄いSn膜14Aの夫々を順次積層した積層構造で構成されている。Pb膜14Bの膜厚は例えば50～100 [μm] 程度に設定され、Sn膜14Aの膜厚は例えば0.4～4 [μm] 程度に設定されている。Pb膜14B、Sn膜14Aの夫々は真空蒸着法によって形成されている。このように、バンプ電極14を、外部端子13の表面側から、Pb膜14B、このPb膜14Bの膜厚に比べて薄いSn膜14Aの夫々を順次積層した積層構造で構成することにより、バンプ電極14の一端部にはPb原子とSn原子とが反応して共晶組成を形成するPb-Sn界面が存在するので、バンプ電極14の一端部(Sn膜14A)をPb-Sn共晶温度(183 [°C])で溶融することができる。

前記バンプ電極14は、フォトリソグラフィ技術を用いたリフトオフ法で形成されている。フォトリソグラフィ技術を用いたリフトオフ法はバンプ電極14の配列ピッチを100 [μm] 程度まで微細化することができる。本実施例のバンプ電極14は、第5図に示すように、100 [μm] の配列ピッチで配置されている。

前記バンプ電極14は、熱処理によってその形状を球形状に成形する工程、即ちウエットバック処理が施されていない。つまり、バンプ電極14の形状は、第4図及び第5図に示すように、円錐台形状で形成され、その縦方向の断面形状は台状で形成されている。

次に、前記半導体ペレット8の製造方法について、第6図乃至第9図（各製造工程毎に示す要部断面図）を用いて説明する。

まず、単結晶珪素からなる半導体基板9で構成された半導体ウエーハを用意する。

次に、前記半導体ウエーハの表面(半導体基板9の素子形成面)に半導体素子、その表面上に配線、層間絶縁膜10、内部端子11、最終5保護膜12等を形成し、この半導体ウエーハの表面に実質的に同一の回路システムが搭載された半導体ペレット形成領域を複数個行列状に形成する。最終保護膜12は窒化珪素膜12A、酸化珪素膜12Bの夫々を積層した積層構造で構成されている。内部端子11は、フォト10リソグラフィ技術で形成され、例えばAl膜又はAl合金膜で形成されている。

次に、第6図に示すように、前記最終保護膜12に前記内部端子11の表面を露出させる開口12Cを形成する。

次に、第7図に示すように、前記開口12Cから露出された内部端子11の表面上を含む最終保護膜12の表面上に、この最終保護膜152に対して接着性を有する金属膜20、バンプ電極14に対して濡れ性を有する金属膜21、非酸化性を有する金属膜22の夫々を順次積層する。この金属膜20、金属膜21、金属膜22の夫々は例えばスパッタ法で堆積される。金属膜20は、高融点金属膜である例えばCr膜で形成され、その膜厚は例えば0.1 [μm]程度に設定される。20金属膜21は例えばCu膜で形成され、その膜厚は例えば0.5~5 [μm]程度に設定される。金属膜22は例えばAu膜で形成され、その膜厚は0.1 [μm]程度に設定される。

次に、前記金属膜22、金属膜21、金属膜20の夫々にパターンニングを施し、前記内部端子11の表面上に、金属膜22、金属膜21、金属膜20の夫々からなる外部端子13を形成する。この工程に

において、金属膜22、金属膜21、金属膜20の夫々のパターンニングは、フォトリソグラフィ技術で形成されたフォトレジスト膜をマスクにして行なわれる。つまり、外部端子13はフォトリソグラフィ技術で形成される。

5 次に、第8図に示すように、前記最終保護膜12の表面上にフォトレジストマスク23を形成する。このフォトレジストマスク23はフォトリソグラフィ技術で形成される。

次に、前記半導体ウエーハ(半導体基板9)の全面に真空蒸着法でPb、Snの夫々を順次蒸着し、第9図に示すように、外部端子13の表面上にPb膜14BとSn膜14Aとからなる積層体を形成する。この工程において、フォトレジストマスク23の表面上にも同様の積層体が形成される。外部端子13の表面上に形成された積層体の形状は円錐台形状で形成され、その縦方向の断面形状は台形状で形成される。この積層体は、フォトレジストマスク23の表面上に形成された積層体と分離される。なお、Pb膜14B、Sn膜14Aの夫々の膜厚精度はスクリーン印刷法で形成される迎え半田の膜厚精度に比べて高い。次に、リフトオフ法を使用し、前記フォトレジストマスク23を除去すると共に、このフォトレジストマスク23の表面上の積層体(Pb膜14B、Sn膜14A)を除去する。この工程において、Pb膜14BとSn膜14Aとからなる積層構造のバンプ電極14が形成される。なお、Pb膜14B、Sn膜14Aの夫々の膜厚精度が高いので、各バンプ電極14の高さは均一になる。

次に、前記半導体ウエーハ(半導体基板9)の表面に形成された半導体ペレット形成領域間をダイシングし、半導体ウエーハを各半導体ペレット毎に分割することにより、第4図及び第5図に示す半導体ペレ

ット 8 が形成される。なお、バンプ電極 14 はウェットバック処理が施されていないので、各バンプ電極 14 の高さを均一にすることができる。

次に、前記半導体装置の形成方法を説明しながら、前記半導体ペレット 8 の実装方法について説明する。

まず、第 2 図及び第 3 図に示す実装基板 1 を準備すると共に、第 4 図及び第 5 図に示す半導体ペレット 8 を準備する。実装基板 1 の外部端子 5 の配列ピッチは、100 [μm] に設定されている。また、半導体ペレット 8 の外部端子 13 及びバンプ電極 14 の配列ピッチは、100 [μm] に設定されている。

次に、第 10 図に示すように、前記実装基板 1 の実装面上に半導体ペレット 8 を配置すると共に、実装基板 1 の外部端子 5 と半導体ペレット 8 の外部端子 13 との間にバンプ電極 14 を配置する。

次に、熱処理を施し、実装基板 1 の外部端子 5 とバンプ電極 14 の一端部 (S<sub>n</sub> 膜 14A) とを電気的にかつ機械的に接続する。熱処理は、Pb 原子と S<sub>n</sub> 原子とが反応して共晶組織を形成する Pb - S<sub>n</sub> 共晶温度 (183 [°C]) よりも若干高い温度雰囲気中で行う。この工程において、第 11 図に示すように、実装基板 1 の外部端子 5 とバンプ電極 14 の一端部との間に反応層 (金属間化合物層) 24 が形成されるので、実装基板 1 の外部端子 5 とバンプ電極 14 の一端部とを強固に固着することができる。つまり、実装基板 1 の外部端子 5 の表面上にスクリーン印刷法で形成される迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板 1 の実装面上にバンプ電極 14 を介在して半導体ペレット 8 を実装することができる。なお、外部端子 5 の金属膜 22、外部端子 13 の金属膜 22 の夫々はバンプ電極

14に吸収される。

次に、前記実装基板1と半導体ペレット8との間の隙間領域に樹脂15を充填する。この後、実装基板1の外部端子7の表面上に球形状のバンプ電極16を形成することにより、第1図に示す半導体装置が

5 ほぼ完成する。

このように、本実施例によれば、以下の作用効果が得られる。

(1) 外部端子13上にバンプ電極14を有する半導体ペレット8であって、前記バンプ電極14を、前記外部端子13の表面側から、Pb膜14B、このPb膜14Bの膜厚に比べて薄いSn膜14Aの夫々を順次積層した積層構造で構成する。この構成により、バンプ電極14の一端部にはPb原子とSn原子とが反応して共晶組成を形成するPb-Sn界面が存在するので、バンプ電極14の一端部(Sn膜)をPb-Sn共晶温度(183[°C])で溶融することができる。この結果、実装基板1の実装面上に半導体ペレット8を実装する実装時に10 おいて、実装基板1の外部端子5とバンプ電極14の先端部とをPb-Sn共晶温度(183[°C])で電気的にかつ機械的に接続することができる。スクリーン印刷法で形成される低融点組成の迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板1の実装面上にバンプ電極14を介在して半導体ペレット8を実装する20 ことができる。

また、スクリーン印刷法で形成される低融点組成の迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板1の実装面上にバンプ電極14を介在して半導体ペレット8を実装することができるので、スクリーン印刷法で形成される低融点組成の迎え半田の制約を受けずに、実装基板1の外部端子5、半導体ペレット8の外部端25 約を受けずに、実装基板1の外部端子5、半導体ペレット8の外部端

子 13、バンプ電極 14 の夫々の配列ピッチを設定することができ、  
バンプ電極 14 の配列ピッチを 300 [μm] 以下にすることができる  
る。この結果、耐熱温度の低い樹脂基板からなる実装基板 1 の実装面上  
にバンプ電極 14 を介在して半導体ペレット 8 を実装する半導体装  
置の多ピン化を図ることができる。  
5

(2) 前記 Pb 膜 14B、Sn 膜 14A の夫々を真空蒸着法で形成す  
る。この構成により、蒸着法で形成される Pb 膜 14B、Sn 膜 14  
A の夫々の膜厚精度は、スクリーン印刷法で形成される低融点組成の  
迎え半田の膜厚精度に比べて高いので、実装基板 1 の外部端子 5 とバ  
ンプ電極 14 の一端部との接続不良を防止することができる。この結  
10 果、耐熱温度の低い樹脂基板からなる実装基板 1 の実装面上にバンプ  
電極 14 を介在して半導体ペレット 8 を実装する半導体装置の歩留ま  
りを高めることができる。

なお、前記最終保護膜 12 に対して濡れ性を有する金属膜 20 は高  
15 融点金属膜である例えば Ti 膜で形成してもよい。

また、前記バンプ電極 14 に対して濡れ性を有する金属膜 21 は例  
えば Ni 膜で形成してもよい。

また、前記外部端子 5、外部端子 13 の夫々は、非酸化性を有する  
金属膜、最終保護膜に対して接着性を有する金属膜、バンプ電極 14  
20 に対して濡れ性を有する金属膜、非酸化性を有する金属膜の夫々を順  
次積層した積層構造で構成してもよい。

また、前記バンプ電極 14 は、第 12 図 (要部断面図) に示すよう  
に、外部端子 13 の表面側から、Sn 膜 14A、この Sn 膜 14A の  
膜厚に比べて厚い Pb 膜 14B、この Pb 膜 14B の膜厚に比べて薄  
25 い Sn 膜 14A の夫々を順次積層した積層構造で構成してもよい。こ

の場合、第13図（要部拡大断面図）に示すように、半導体ペレット8の外部端子13とバンプ電極14の他端部との間にも反応層（金属間化合物層）24が形成されるので、半導体ペレット8の外部端子13とバンプ電極14の他端部とを強固に固着することができる。

5 また、前記バンプ電極14は、第14図（要部断面図）に示すように、外部端子13の表面側から、Pb膜14B、このPb膜14Bの膜厚に比べて薄いSn膜14C1とPb膜14C2とからなる多層膜14Cの夫々を順次積層した積層構造で構成してもよい。この場合、バンプ電極14の一端部には複数のPb-Sn界面が存在することになるので、Pb-Sn共晶温度（183[℃]）によるバンプ電極14の一端部（多層膜14C）の溶融を確実に行うことができる。多層膜14CのSn膜14C1、Pb膜14C2の夫々の膜厚は37[重量%]Pb-63[重量%]前後の組成の合金層による膜厚に設定されている。

15 また、前記バンプ電極14は、第15図（要部断面図）に示すように、外部端子13の表面側から、Sn膜14C1とPb膜14C2とからなる多層膜14C、この多層膜14Cの膜厚に比べて厚いPb膜14B、このPb膜14Bの膜厚に比べて薄いSn膜14C1とPb膜14C2とからなる多層膜14Cの夫々を順次積層した積層構造で構成してもよい。この場合、バンプ電極の一端部及び他端部には複数のPb-Sn界面が存在することになるので、Pb-Sn共晶温度（183[℃]）によるバンプ電極14の一端部（多層膜14C）、その他端部の夫々の溶融を確実に行うことができる。

20 また、前記バンプ電極14は、図示していないが、外部端子13の表面側から、Sn膜14A、このSn膜14Aの膜厚に比べて厚いP

b 膜 1 4 B、この P b 膜 1 4 B の膜厚に比べて薄い S n 膜 1 4 C 1 と P b 膜 1 4 C 2 とからなる多層膜 1 4 C の夫々を順次積層した積層構造、若しくは、外部端子 1 3 の表面側から、S n 膜 1 4 C 1 と P b 膜 1 4 C 2 とからなる多層膜 1 4 C、この多層膜 1 4 C の膜厚に比べて 5 厚い P b 膜 1 4 B、この P b 膜 1 4 B の膜厚に比べて薄い S n 膜 1 4 A の夫々を順次積層した積層構造で構成してもよい。

(実施形態 2)

本発明の実施形態 2 である半導体装置の概略構成を第 16 図（要部断面図）に示す。

10 第 16 図に示すように、半導体装置は、実装基板 1 の実装面上に半導体ペレット 8 及び半導体部品 2 6 を実装している。半導体ペレット 8 は実装基板 1 の実装面上にバンプ電極 1 4 を介在して実装されている。つまり、半導体ペレット 8 は C C B 方式で (Controlled Collaps e Bonding) 実装されている。

15 前記実装基板 1 は例えばガラス纖維にエポキシ樹脂又はポリイミド樹脂を含浸させた樹脂基板で構成されている。この場合の実装基板 1 の耐熱温度は、260 [°C] × 60 秒～120 秒程度である。

前記実装基板 1 の外部端子 5 と半導体ペレット 8 の外部端子 1 3 とはバンプ電極 1 4 で電気的にかつ機械的に接続されている。実装基板 20 1 の外部端子 5、半導体ペレット 8 の外部端子 1 3 の夫々は、バンプ電極 1 4 との高い濡れ性を確保するため、バンプ電極 1 4 の下地金属膜 (BLM: Ball Limiting Metalization) として構成されている。外部端子 5、外部端子 1 3 の夫々は、この構造に限定されないが、前述の実施例 1 と同様に、最終保護膜に対して接着性を有する金属膜、 25 バンプ電極 1 4 に対して濡れ性を有する金属膜、非酸化性を有する金

属膜の夫々を順次積層した積層構造で構成される。

前記バンプ電極 14 は、前述の実施例 1 と同様に、外部端子 13 の表面側から、Pb 膜(14B)、この Pb 膜の膜厚に比べて薄い Sn 膜(14A)の夫々を順次積層した積層構造で構成されている。

5 前記実装基板 1 の外部端子 25 と半導体部品 26 のリード 26A とは半田 27 で電気的にかつ機械的に接続されている。半田 27 は例えば 37 [重量%] Pb - 63 [重量%] Sn の組成の合金材で形成されている。この合金材は、183 [°C] 程度の融点を有する。

10 前記半導体ペレット 8 の外部端子 13 及びバンプ電極 14 は、第 17 図(実装工程が施される前の状態を示す半導体ペレットの平面図)に示すように、200 [μm] の配列ピッチで配置されている。前記実装基板 1 の外部端子 5 は、図示していないが、同様に、200 [μm] の配列ピッチで配置されている。

15 次に、前記半導体装置の形成方法を説明しながら、半導体ペレット 8 の実装方法を説明する。

まず、実装基板 1 及び半導体ペレット 8 を準備する。実装基板 1 の外部端子 5 の配列ピッチは、200 [μm] に設定されている。また、実装基板 1 の外部端子 25 の表面上にはスクリーン印刷法で半田ペースト材(37 [重量%] Pb - 63 [重量%] Sn)が形成されている。半導体ペレット 8 の外部端子 13 及びバンプ電極 14 の配列ピッチは 200 [μm] に設定されている。

20 次に、前記実装基板 1 の実装面上に半導体ペレット 8 及び半導体部品 26 を配置し、実装基板 1 の外部端子 5 と半導体ペレット 8 の外部端子 13 との間にバンプ電極 14 を配置すると共に、実装基板 1 の外部端子 25 と半導体部品 26 のリード 26A との間に半田ペースト材

を配置する。

次に、熱処理を施し、実装基板1の外部端子5とバンプ電極14の一端部とを電気的にかつ機械的に接続すると共に、実装基板1の外部端子25と半導体部品26のリード26Aとを半田27で電気的にかつ機械的に接続する。熱処理は、Pb原子とSn原子とが反応して共晶組織を形成するPb-Sn共晶温度(183[°C])よりも若干高い温度雰囲気中で行う。この工程において、実装基板1の外部端子5とバンプ電極14の一端部との間に反応層(金属間化合物層)が形成されるので、実装基板1の外部端子5とバンプ電極14の一端部とを強固に固着することができる。つまり、実装基板1の外部端子5の表面上にスクリーン印刷法で形成される迎え半田を使用することなく、耐熱温度の低い樹脂基板からなる実装基板1の実装面上にバンプ電極14を介在して半導体ペレット8を実装することができる。

次に、前記実装基板1と半導体ペレット8との間の隙間領域に樹脂15を充填することにより、第16図に示す半導体装置がほぼ完成する。

このように、本実施例によれば、前述の実施形態1と同様の効果が得られる。

### (実施形態3)

本発明の実施形態3であるバンプ電極の概略構成を第18図(断面図)に示す。

第18図に示すように、基体30上に複数のバンプ電極14が配置されている。基体30は、例えば、単結晶珪素基板からなる支持基板30Aと、この支持基板30A上に形成され、かつバンプ電極14に対して濡れ性が悪い酸化珪素膜30Bとで構成されている。つまり、

複数のバンプ電極 14 の夫々は、濡れ性が悪い酸化珪素膜 30B 上に配置されている。

前記バンプ電極 14 は、第 19 図(要部拡大断面図)に示すように、酸化珪素膜 30B の表面側から、Sn 膜 14A、この Sn 膜 14A の膜厚に比べて厚い Pb 膜 14B、この Pb 膜 14B の膜厚に比べて薄い Sn 膜 14A の夫々を順次積層した積層構造で構成されている。つまり、バンプ電極 14 は、Pb 膜 14B の一表面上及びその裏面上に、その膜厚に比べて薄い Sn 膜 14A を設けた構成になっている。

なお、基体 30 は、それ自体がバンプ電極(はんだ) 14 に対して濡れの悪いセラミックスの様な材料で形成してもよい。また、基体 30 は、支持基板 30A と、バンプ電極(はんだ) 14 に対して濡れ性が悪い Cr 膜のような金属膜とで構成してもよい。

次に、前記バンプ電極 14 の形成方法について、第 20 図(要部断面図)を用いて説明する。

15 まず、基体 30 を準備する。

次に、前記基体 30 の表面上にその表面の一部を露出したマスク 31 を形成する。マスク 31 は例えばフォトリソグラフィ技術で形成されたフォトレジスト膜で形成される。

次に、前記基体 30 の表面上の全面に、Sn 膜 14A、この Sn 膜 14A の膜厚に比べて厚い Pb 膜 14B、この Pb 膜 14B の膜厚に比べて薄い Sn 膜 14A の夫々を真空蒸着法で順次形成する。

次に、前記マスク 31 を除去すると共に、このマスク 31 上の Sn 膜 14A、Pb 膜 14B、Sn 膜 14A の夫々を除去することにより、第 19 図に示すバンプ電極 14 が形成される。

25 次に、前記バンプ電極 14 を用いた半導体ペレットの実装方法につ

いて、第21図乃至第23図を用いて説明する。

まず、第21図に示すように、実装基板1の実装面上に基体30を配置すると共に、実装基板1の実装面の外部端子5上にバンプ電極14を配置する。

5 次に、Pb-Sn共晶温度(183[°C])よりも若干高い温度で熱処理を施し、実装基板1の外部端子5とバンプ電極14の一端部とを固着する。この工程において、バンプ電極14の他端部は濡れ性が悪い酸化珪素膜30Bと接しているので、バンプ電極14の一端部はその他端部に比べて強固に接着される。

10 次に、前記実装基板1の主面上から基体30を取り除くことにより、第22図に示すように、実装基板1の外部端子5に強固に接続されたバンプ電極14は基体30から離脱され、実装基板1に転写される。

次に、第23図に示すように、前記実装基板1の実装面上に半導体ペレット8を配置すると共に、実装基板1の外部端子5と半導体ペレット8の外部端子13との間にバンプ電極14を配置する。

15 次に、Pb-Sn共晶温度(183[°C])よりも若干高い温度で熱処理を施し、実装基板1の外部端子5とバンプ電極14の一端部とを固着する。この工程により、実装基板1の実装面上にバンプ電極14を介在して半導体ペレット8が実装される。

20 このように、バンプ電極14を、Pb膜14Bの一表面上及びその裏面上に、その膜厚に比べて薄いSn膜14Aを設けた構成にすることにより、バンプ電極14の一端部及びその他端部にはPb-Sn界面が存在することになるので、実装基板1の外部端子5とバンプ電極14の一端部とをPb-Sn共晶温度(183[°C])で電気的にかつ機械的に接続することができると共に、半導体ペレット8の外部端

子 13 と バンプ電極 14 の 他端部とを Pb - Sn 共晶温度 (183 [°C]) で 電気的にかつ機械的に接続することができる。

なお、バンプ電極 14 は、第 24 図 (要部断面図) に示すように、  
基体 30 の表面側から、Sn 膜 14C1 と Pb 膜 14C2 とからなる  
5 多層膜 14C、この多層膜 14C の膜厚に比べて厚い Pb 膜 14B、  
この Pb 膜 14B の膜厚に比べて薄い Sn 膜 14C1 と Pb 膜 14C  
2 とからなる多層膜 14C の夫々を順次積層した積層構造で構成して  
もよい。この場合、バンプ電極の一端部及び他端部には複数の Pb -  
Sn 界面が存在することになるので、Pb - Sn 共晶温度 (183  
10 [°C]) によるバンプ電極 14 の一端部 (多層膜 14C)、その他端部  
の夫々の溶融を確実に行うことができる。

また、前記バンプ電極 14 は、図示していないが、基体 30 の表面  
側から、Sn 膜 14A、この Sn 膜 14A の膜厚に比べて厚い Pb 膜  
14B、この Pb 膜 14B の膜厚に比べて薄い Sn 膜 14C1 と Pb  
15 膜 14C2 とからなる多層膜 14C の夫々を順次積層した積層構造、  
若しくは、外部端子 13 の表面側から、Sn 膜 14C1 と Pb 膜 14  
C2 とからなる多層膜 14C、この多層膜 14C の膜厚に比べて厚い  
Pb 膜 14B、この Pb 膜 14B の膜厚に比べて薄い Sn 膜 14A の  
夫々を順次積層した積層構造で構成してもよい。

20 以上、本発明者によってなされた発明を、前記実施形態に基づき具  
体的に説明したが、本発明は、前記実施形態に限定されるものではな  
く、その要旨を逸脱しない範囲において種々変更可能であることは勿  
論である。

## 請求の範囲

1. 外部端子上にバンプ電極を有する半導体ペレットであって、前記バンプ電極が、前記外部端子の表面側から、Pb膜、このPb膜の膜厚に比べて薄いSn膜の夫々を順次積層した積層構造で構成されてい  
5 5ることを特徴とする半導体ペレット。
2. 外部端子上にバンプ電極を有する半導体ペレットであって、前記バンプ電極が、前記外部端子の表面側から、Sn膜、このSn膜の膜厚に比べて厚いPb膜、このPb膜の膜厚に比べて薄いSn膜の夫々を順次積層した積層構造で構成されていることを特徴とする半導体ペ  
10 レット。
3. 外部端子上にバンプ電極を有する半導体ペレットであって、前記バンプ電極が、前記外部端子の表面側から、Pb膜、このPb膜の膜厚に比べて薄いSn膜とPb膜とからなる多層膜の夫々を順次積層した積層構造で構成されていることを特徴とする半導体ペレット。  
15
4. 外部端子上にバンプ電極を有する半導体ペレットであって、前記バンプ電極が、前記外部端子の表面側から、Sn膜とPb膜とからなる多層膜、この多層膜の膜厚に比べて厚いPb膜、このPb膜の膜厚に比べて薄いSn膜とPb膜とからなる多層膜の夫々を順次積層した積層構造で構成されていることを特徴とする半導体ペレット。  
20
5. 外部端子上にバンプ電極を有する半導体ペレットであって、前記バンプ電極が、前記外部端子の表面側から、Sn膜、このSn膜の膜厚に比べて厚いPb膜、このPb膜に比べて薄いSn膜とPb膜とからなる多層膜の夫々を順次積層した積層構造、若しくは、前記外部端子の表面側から、Sn膜とPb膜とからなる多層膜、この多層膜の膜  
25 厚に比べて厚いPb膜、このPb膜の膜厚に比べて薄いSn膜の夫々

を順次積層した積層構造で構成されていることを特徴とする半導体ペレット。

6. 前記多層膜の S<sub>n</sub> 膜、P<sub>b</sub> 膜の夫々の膜厚は、37 [重量%] P<sub>b</sub> – 63 [重量%] S<sub>n</sub> 前後の組成の合金層になる膜厚に設定されていことを特徴とする請求の範囲第3項乃至請求の範囲第5項のうちいずれか1項に記載の半導体ペレット。

7. 前記 P<sub>b</sub> 膜、S<sub>n</sub> 膜の夫々は蒸着法で形成されていることを特徴とする請求の範囲第1項乃至請求の範囲第6項のうちいずれか1項に記載の半導体ペレット。

10 8. 実装基板の実装面上にバンプ電極を介在して実装される半導体ペレットの実装方法であって、請求の範囲第1項乃至請求の範囲第7項のうちいずれか1項に記載の半導体ペレットを準備する工程と、実装基板の実装面上に前記半導体ペレットを配置すると共に、前記実装基板の実装面の外部端子と前記半導体ペレットの外部端子との間にバンプ電極を配置する工程と、熱処理を施し、前記実装基板の外部端子と前記バンプ電極の先端部とを電気的にかつ機械的に接続する工程とを備えたことを特徴とする半導体ペレットの実装方法。

9. P<sub>b</sub> 膜の一表面上及び裏表面上にその膜厚に比べて薄い S<sub>n</sub> 膜を設けた構成になっていることを特徴とするバンプ電極。

20 10. P<sub>b</sub> 膜の一表面上及び裏表面上にその膜厚に比べて薄い S<sub>n</sub> 膜と P<sub>b</sub> 膜とからなる多層膜を設けた構成になっていることを特徴とするバンプ電極。

11. P<sub>b</sub> 膜の一表面上にその膜厚に比べて薄い S<sub>n</sub> 膜と P<sub>b</sub> 膜とから成る多層膜、前記 P<sub>b</sub> 膜の裏表面上にその膜厚に比べて薄い S<sub>n</sub> 膜の夫々を設けた構成、若しくは、前記 P<sub>b</sub> 膜の一表面上にその膜厚に比

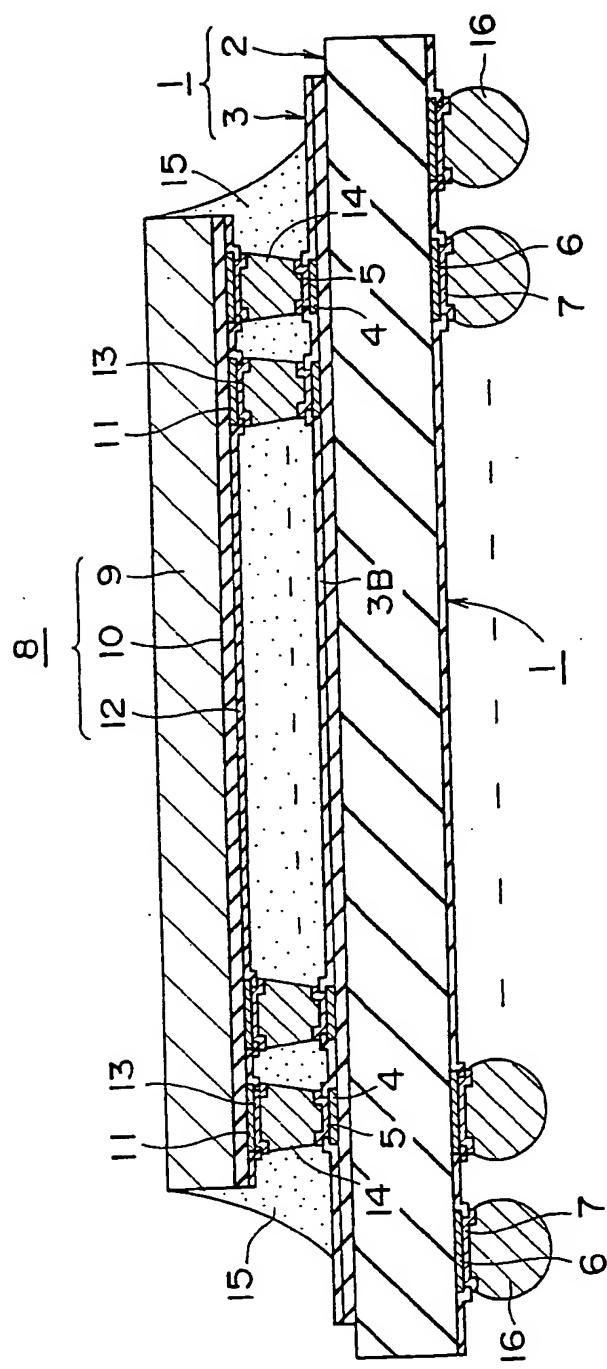
べて薄い S<sub>n</sub> 膜、前記 P<sub>b</sub> 膜の裏面上にその膜厚に比べて薄い S<sub>n</sub> 膜と P<sub>b</sub> 膜とから成る多層膜の夫々を設けた構成になっていることを特徴とするバンプ電極。

12. 前記多層膜の P<sub>b</sub> 膜、 S<sub>n</sub> 膜の夫々の膜厚は、 37 [重量%] 5 P<sub>b</sub> - 63 [重量%] S<sub>n</sub> 前後の組成の合金層になる膜厚に設定されていることを特徴とする請求の範囲第 9 項乃至請求の範囲第 11 項のうちいずれか 1 項に記載のバンプ電極。

13. 前記 P<sub>b</sub> 膜、 S<sub>n</sub> 膜の夫々は、蒸着法で形成されていることを特徴とする請求の範囲第 9 項乃至請求の範囲第 12 項のうちいずれか 10 1 項に記載のバンプ電極。

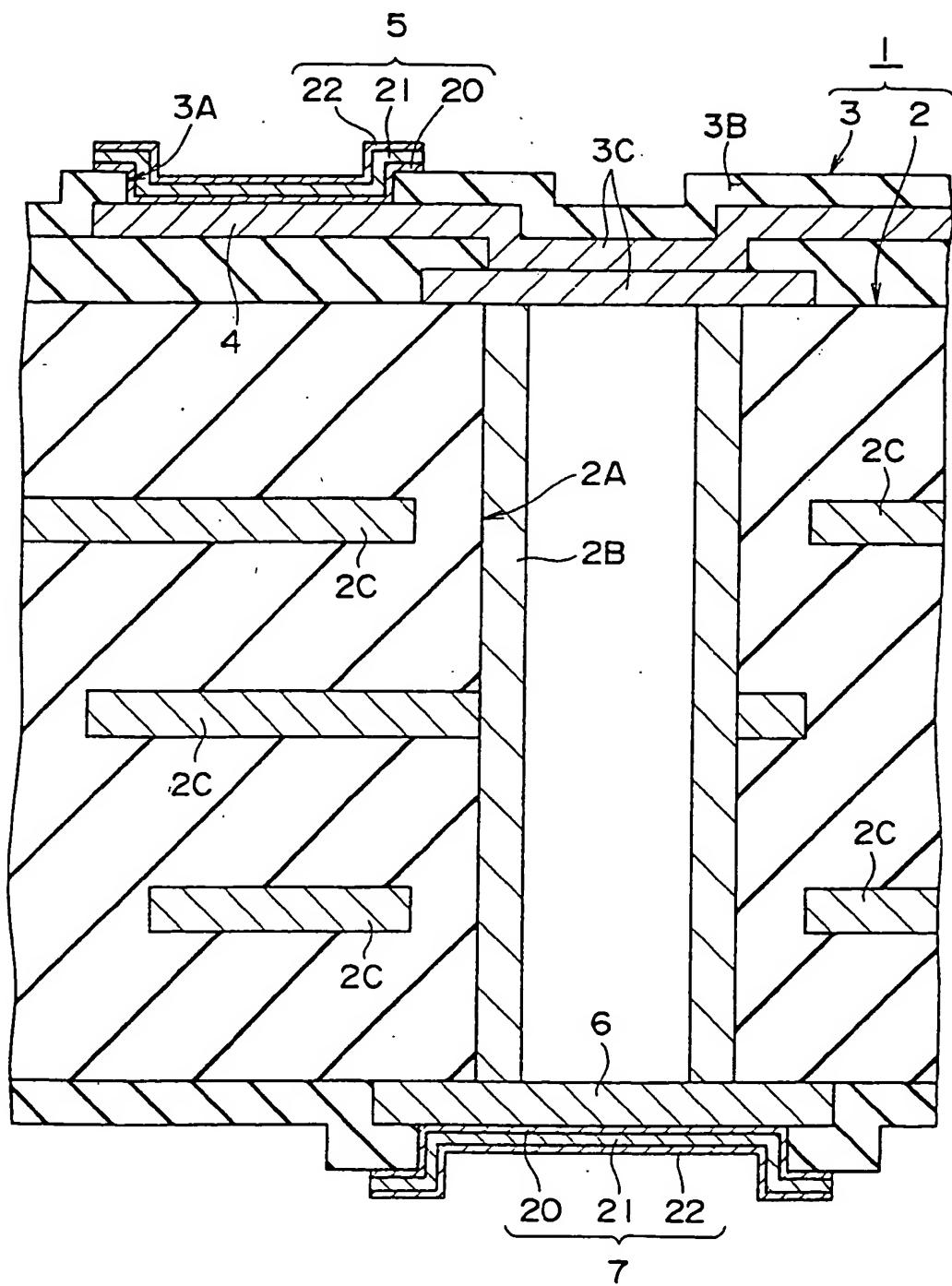
1/23

## FIG. 1



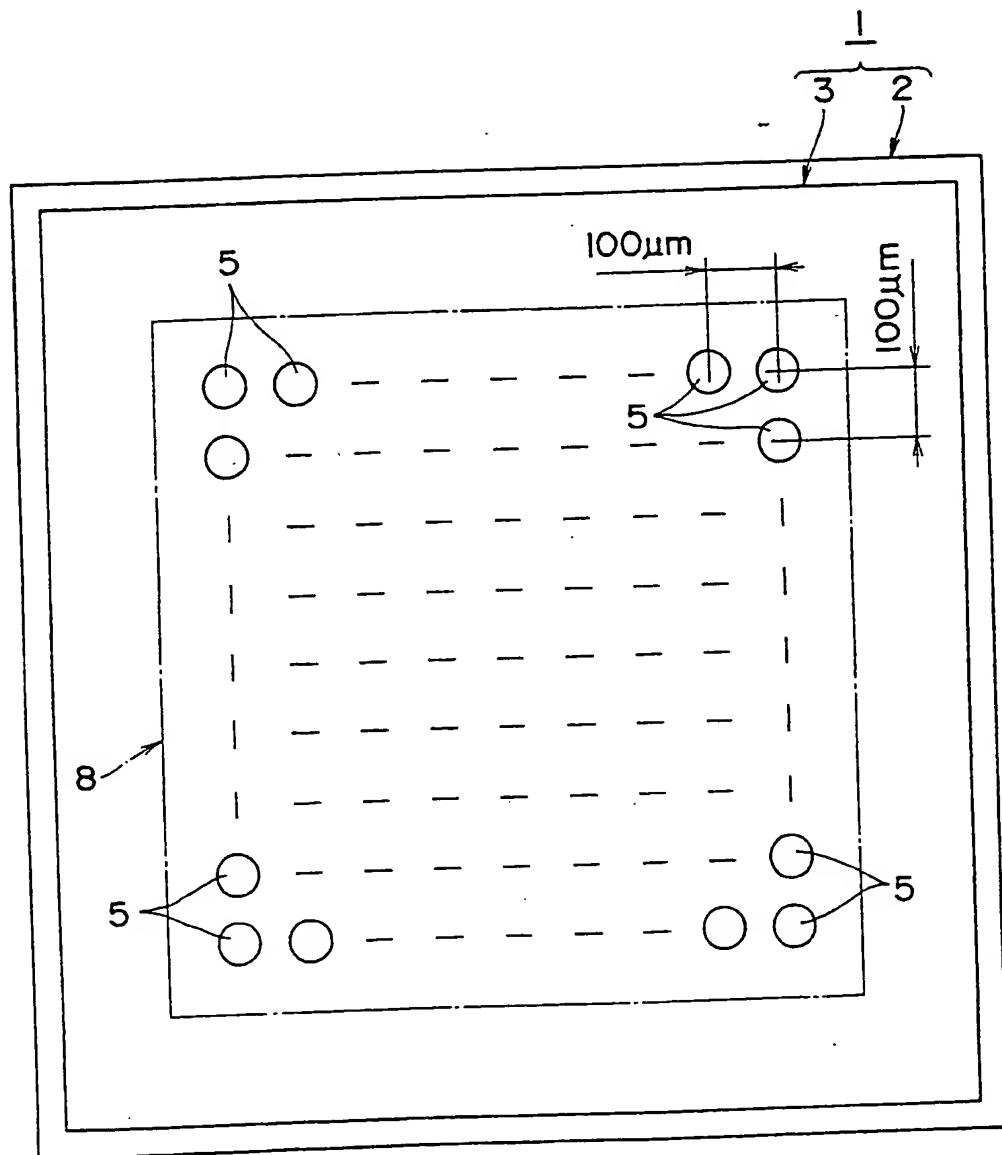
2/23

## FIG. 2



3/23

FIG. 3



4/23

FIG. 4

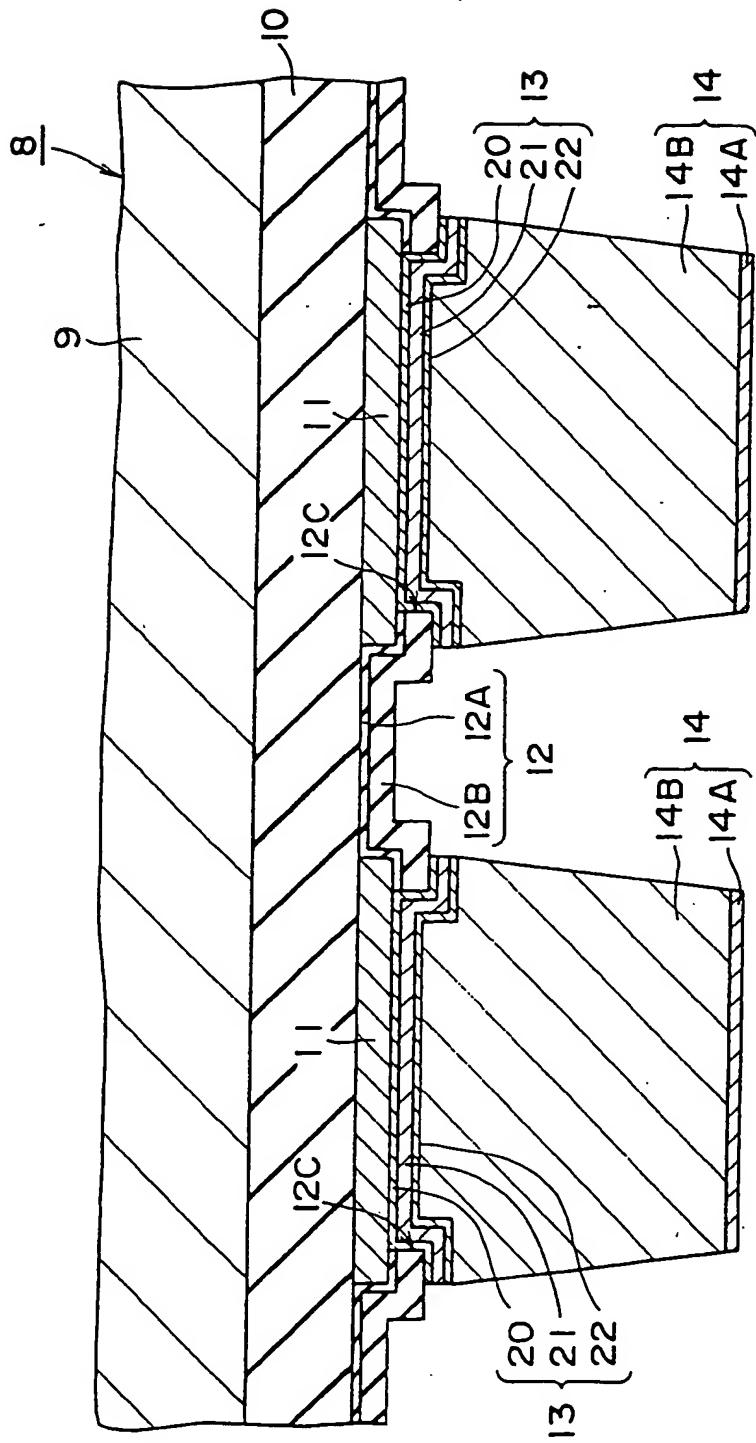
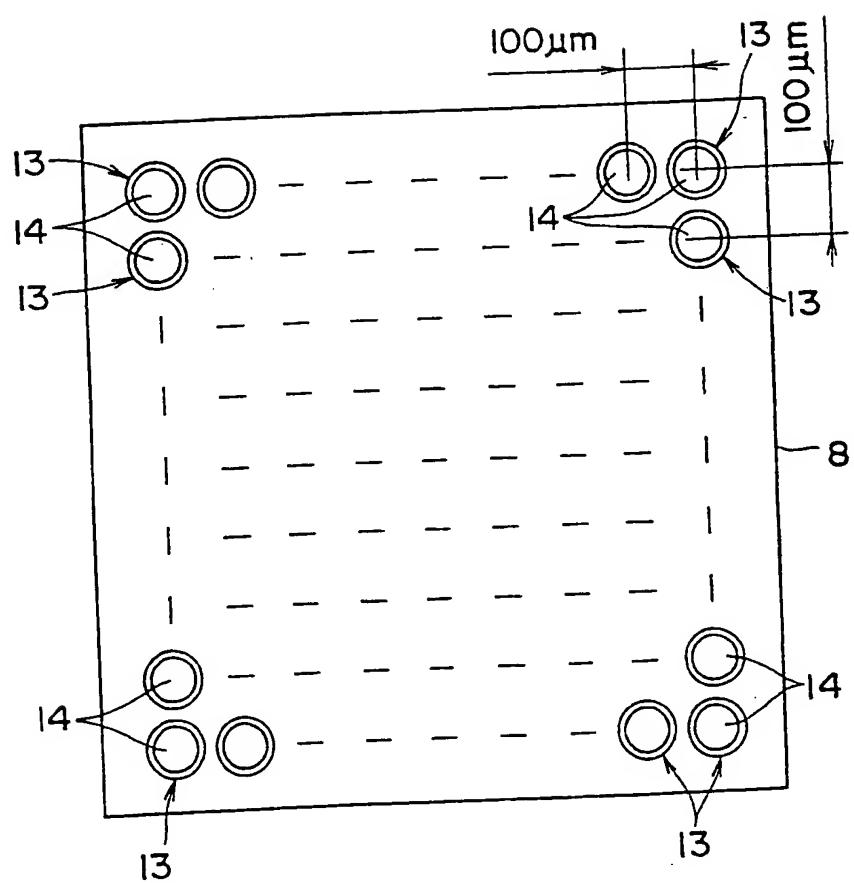
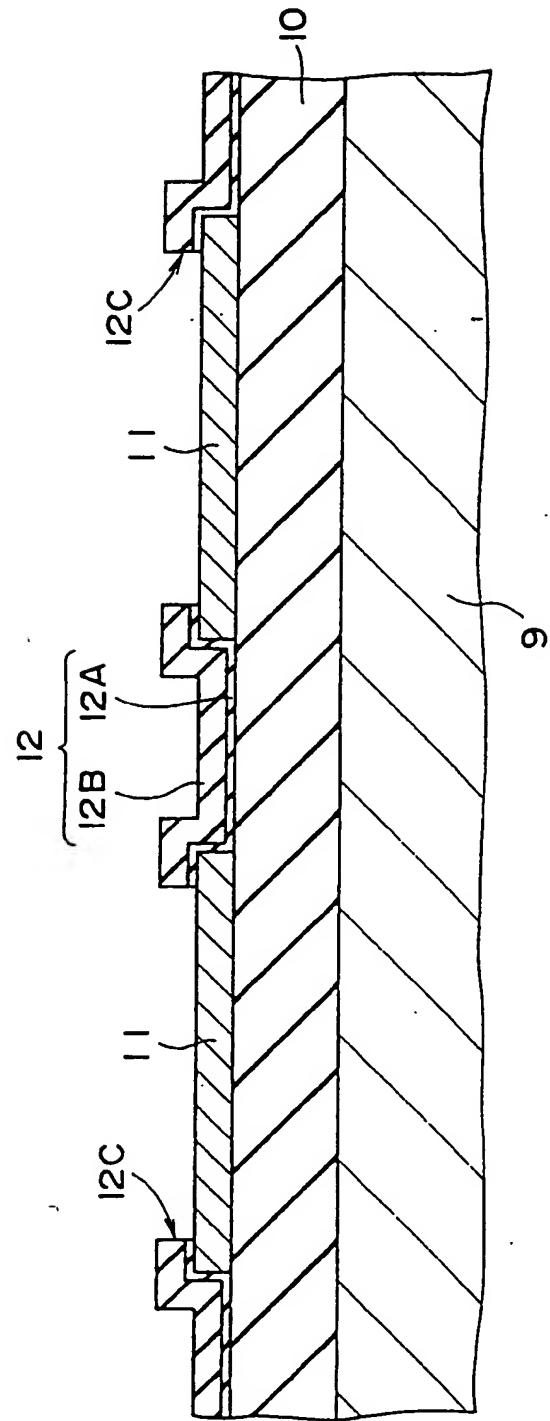


FIG. 5



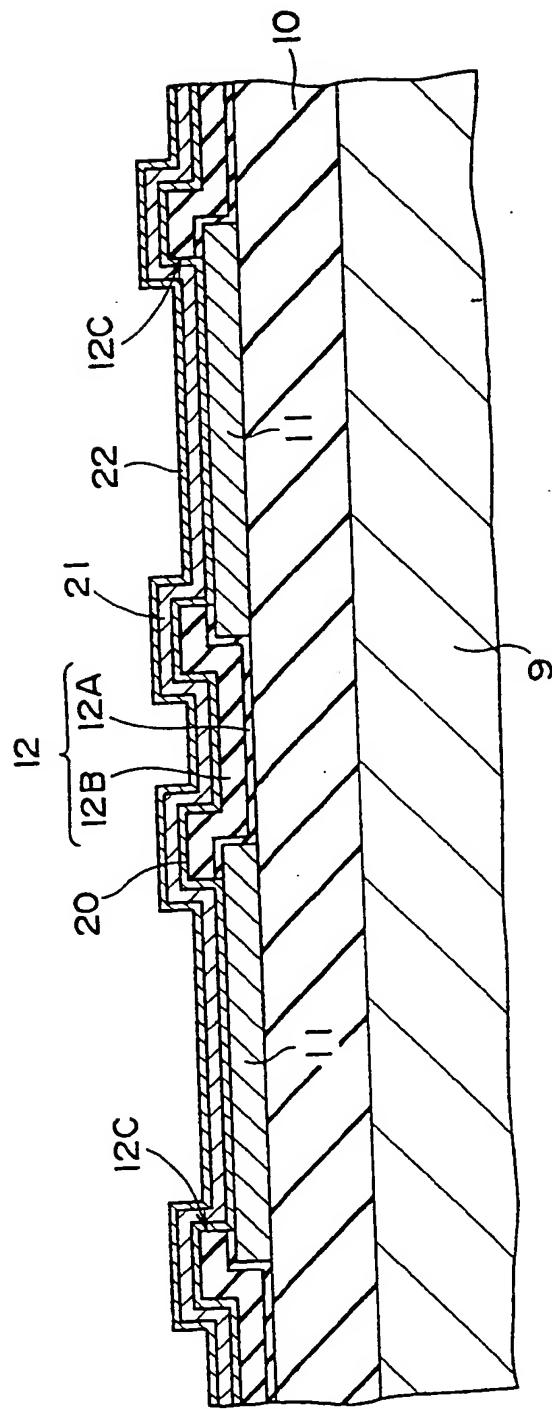
6/23

FIG. 6



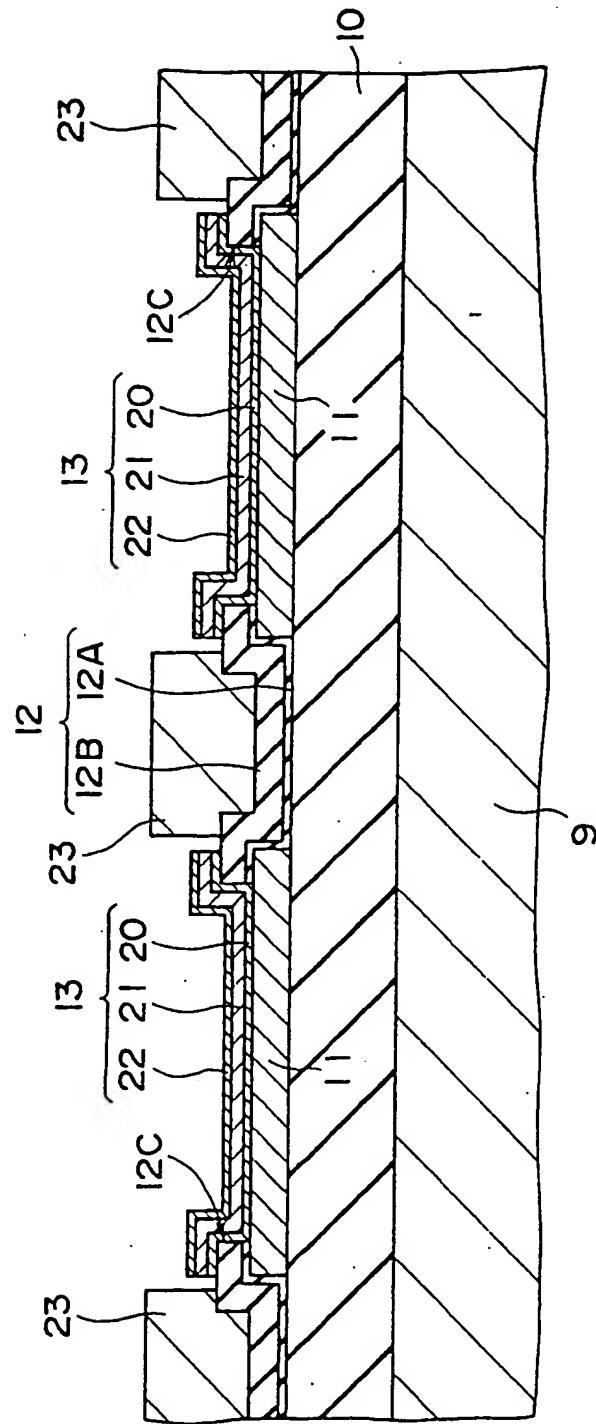
7/23

FIG. 7



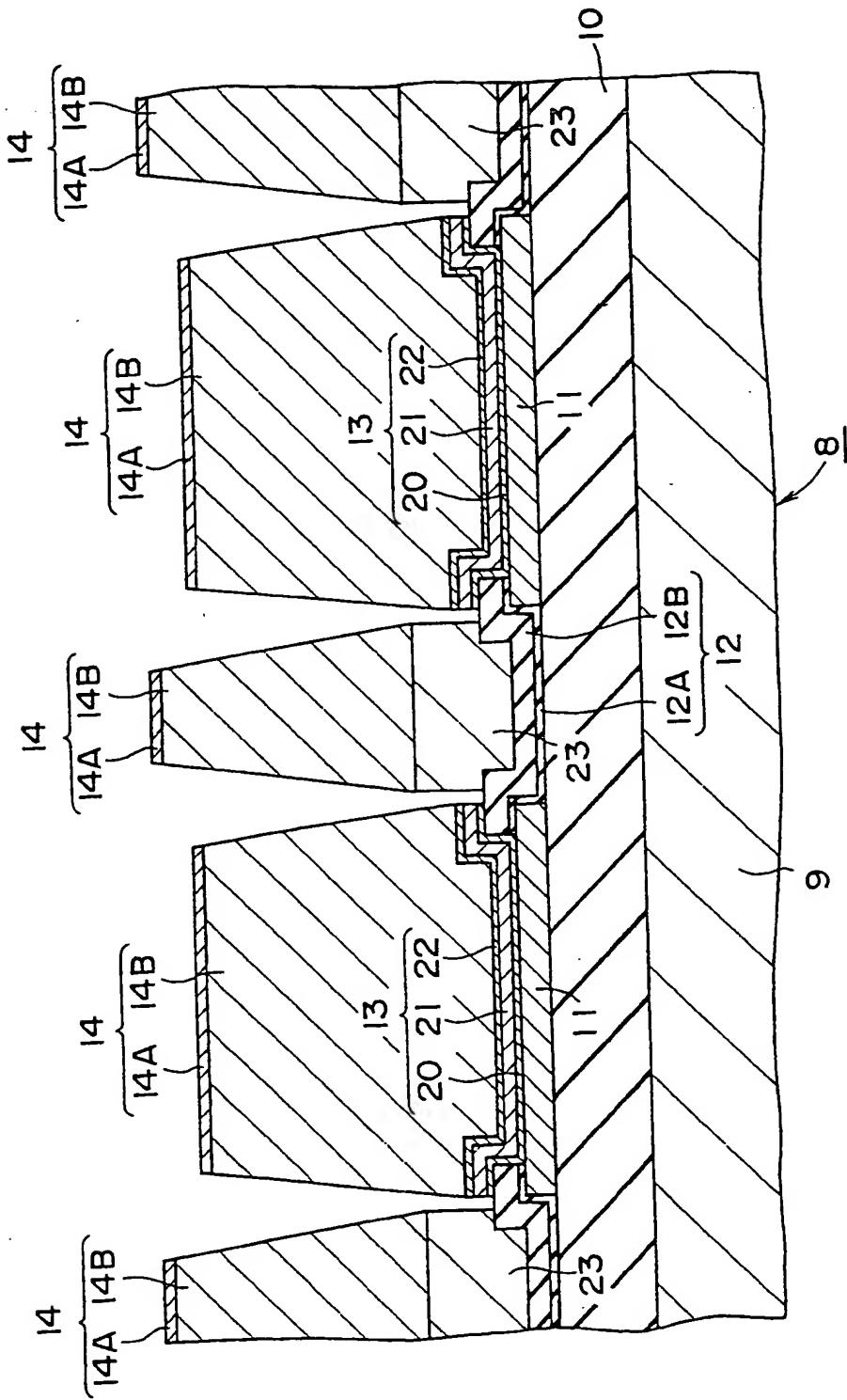
8/23

FIG. 8



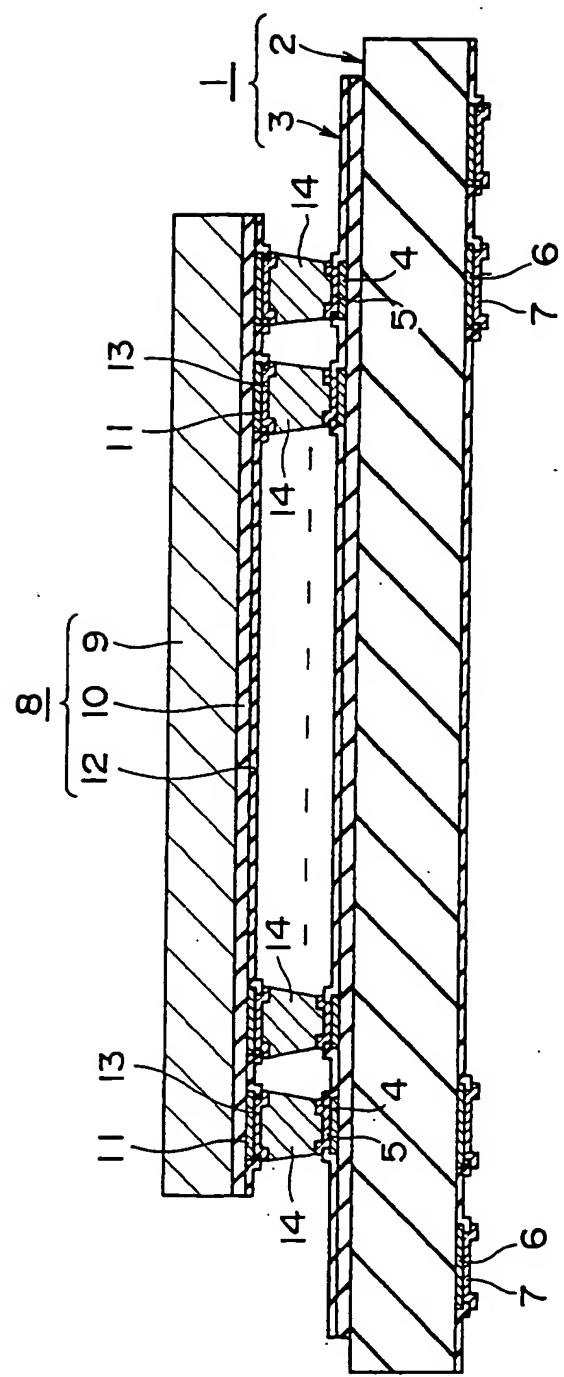
9/23

FIG. 9



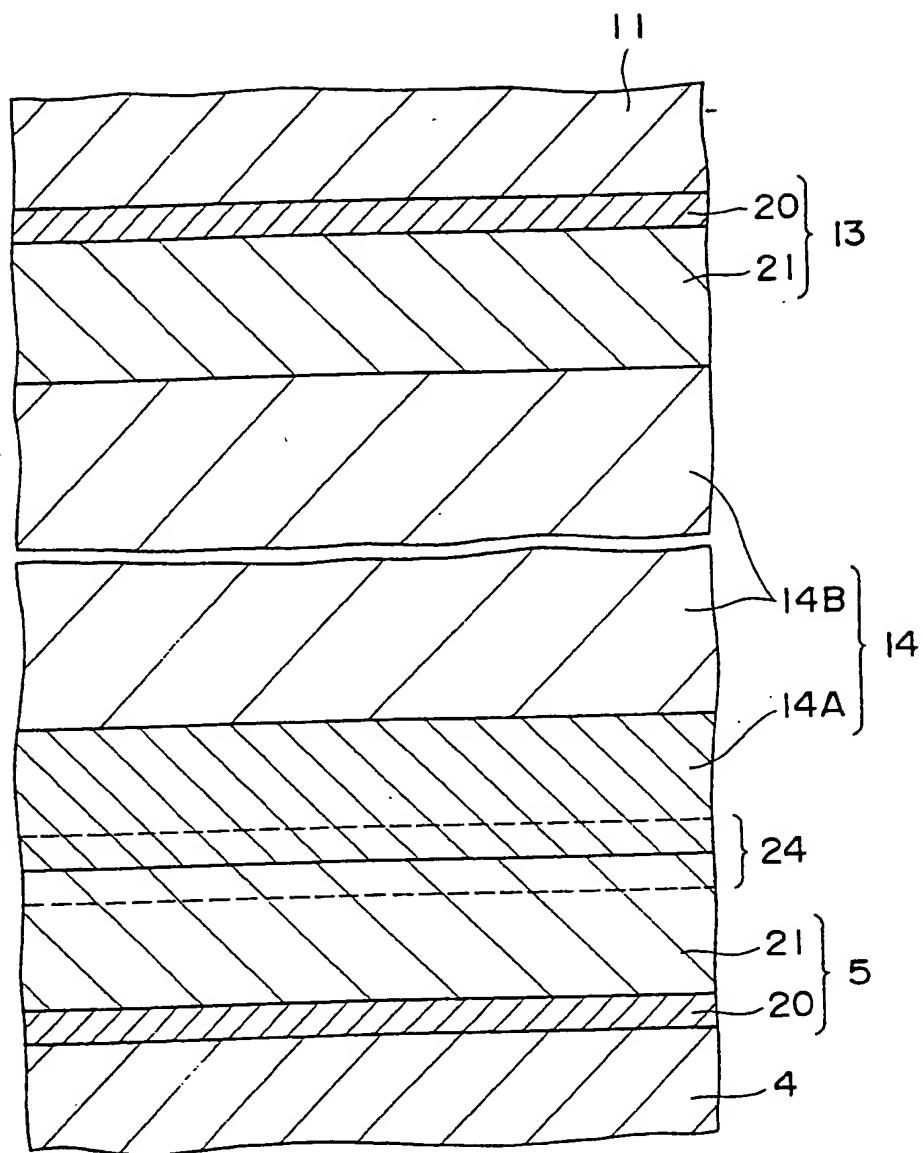
10/23

FIG. 10



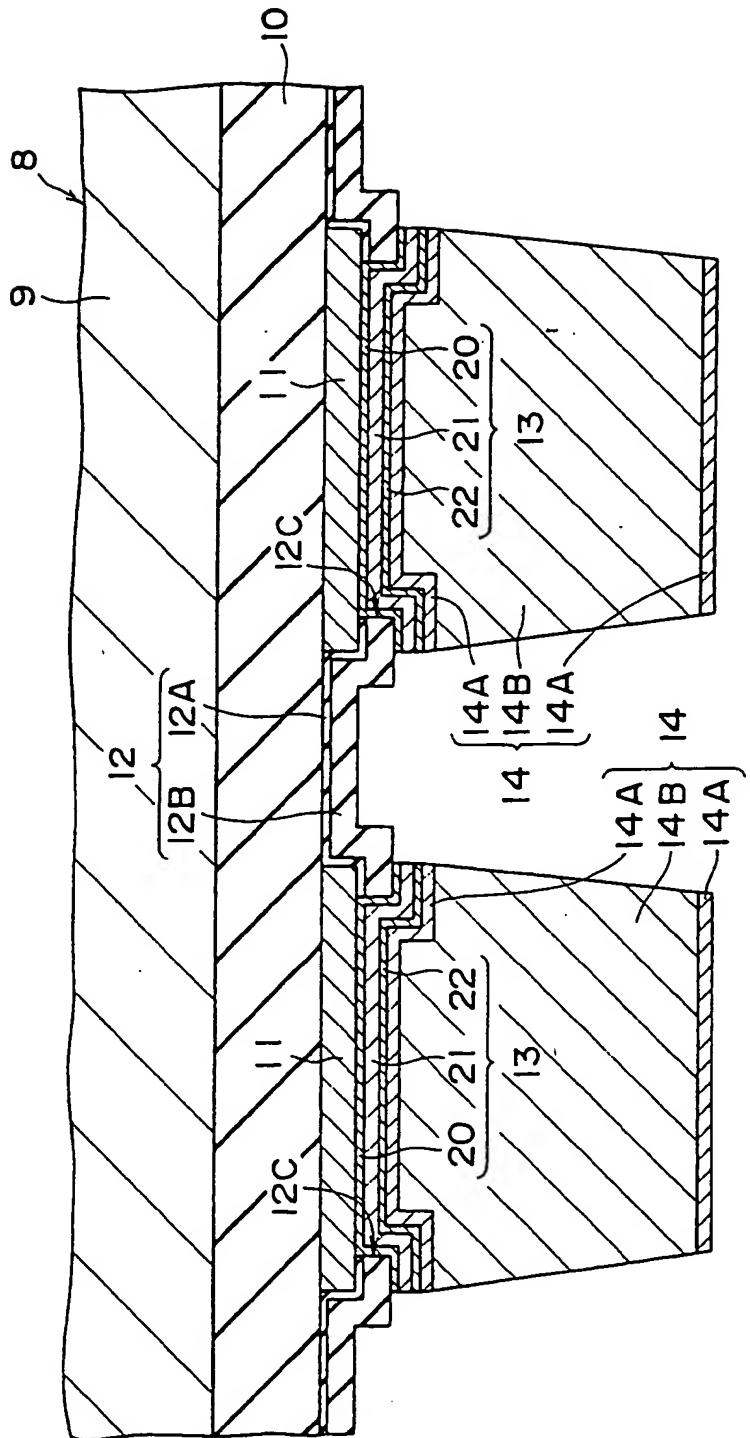
11/23

## FIG. 11



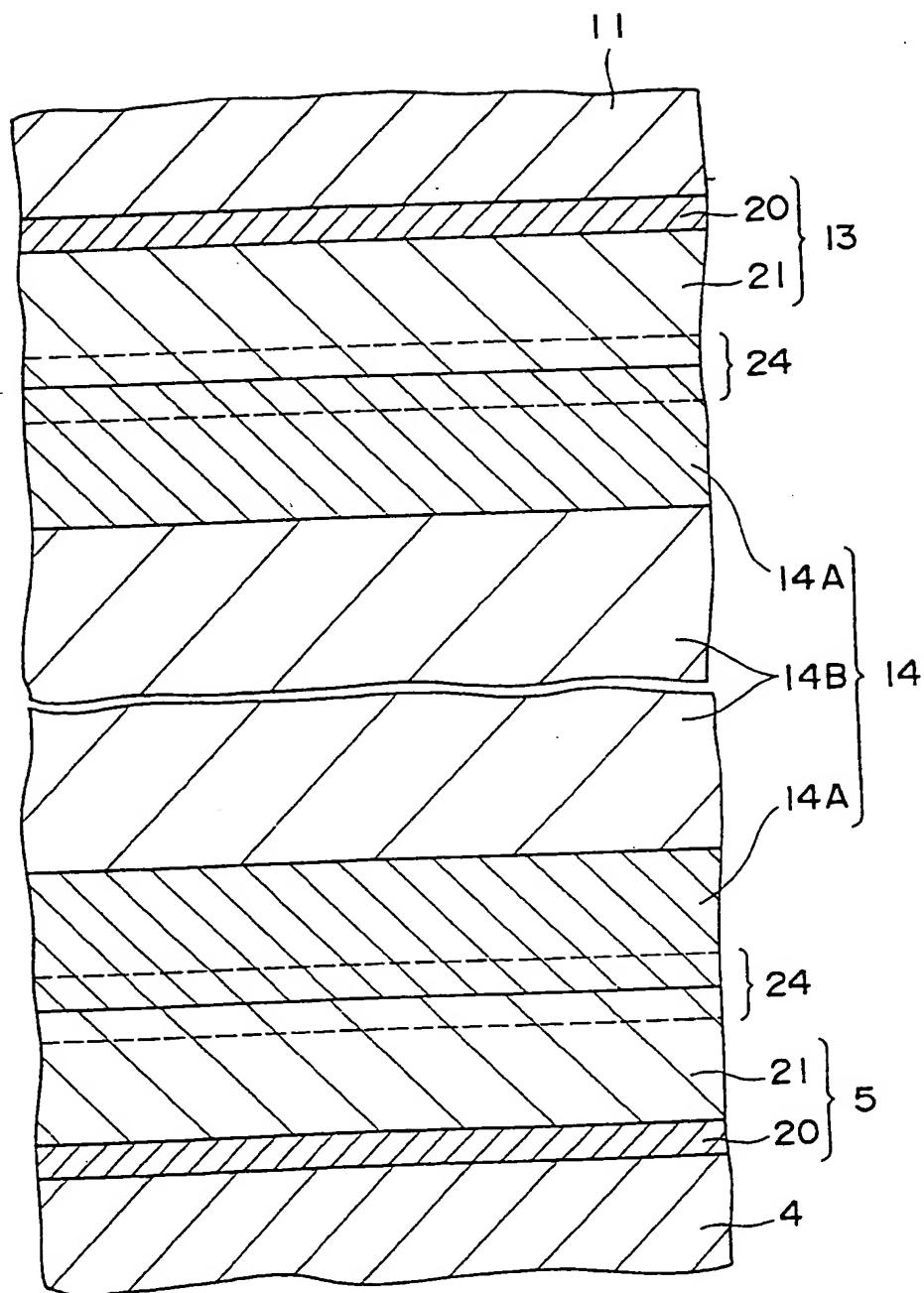
12/23

F | G. | 2



13/23

FIG. 13



14/23

FIG. 14

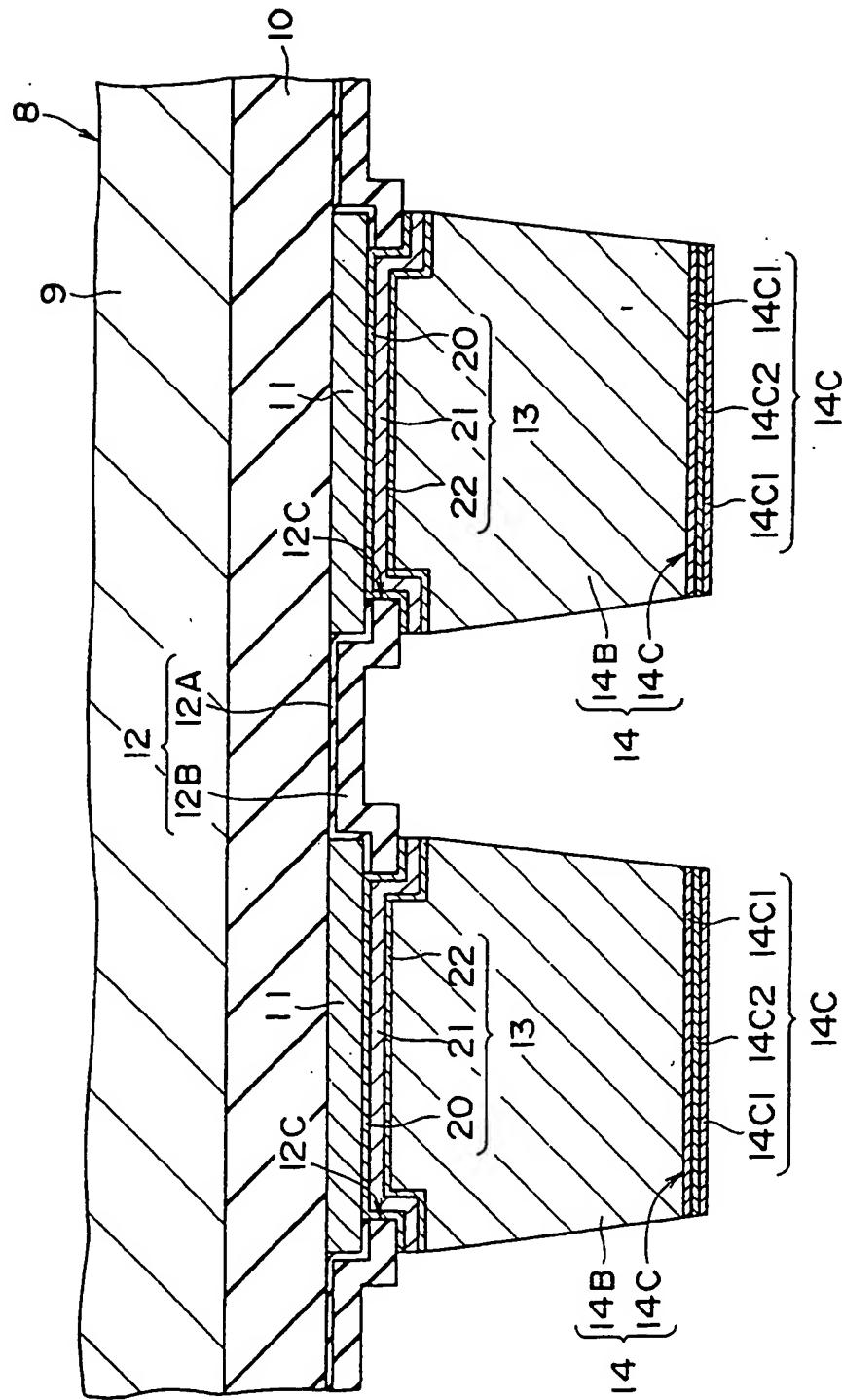
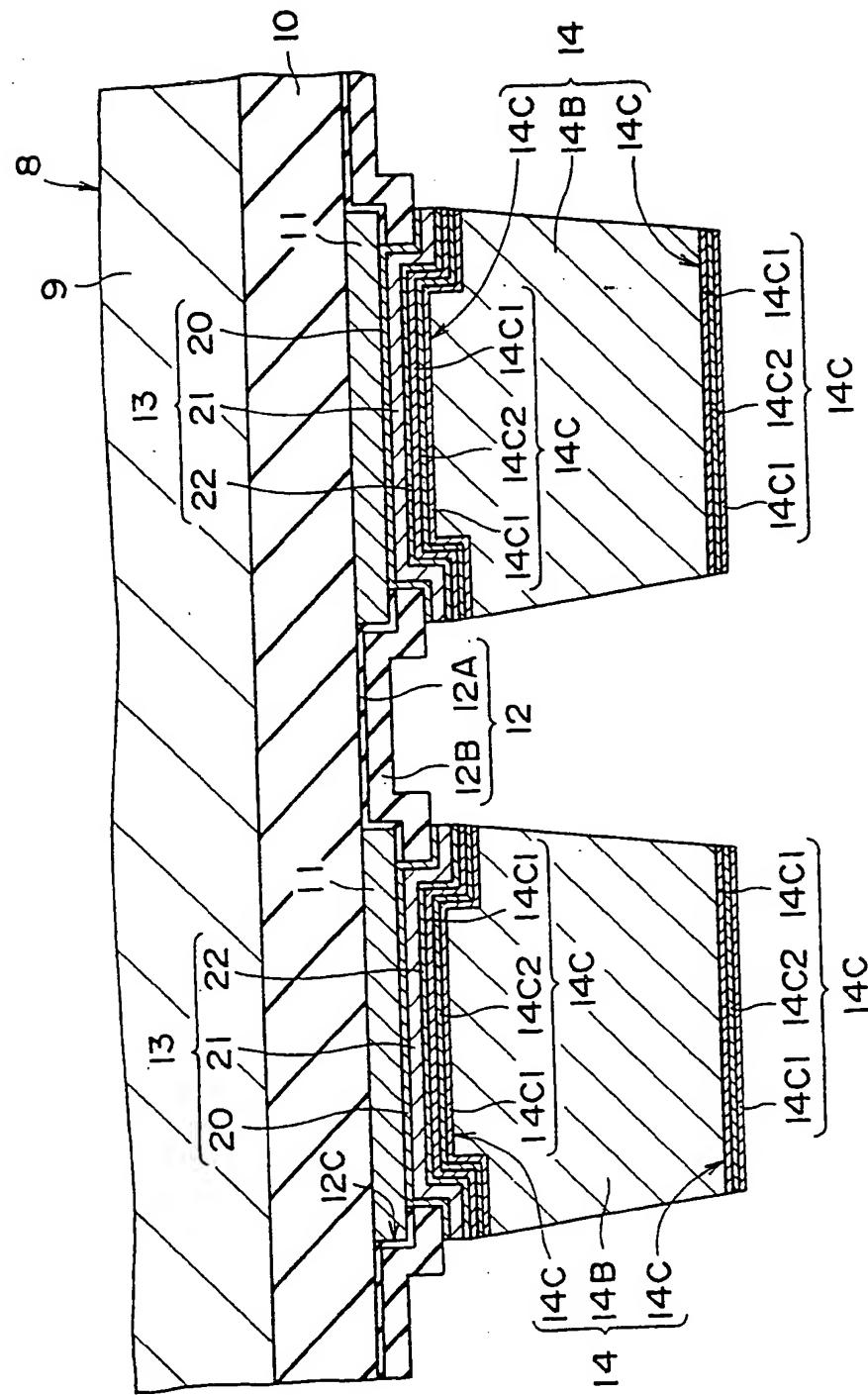
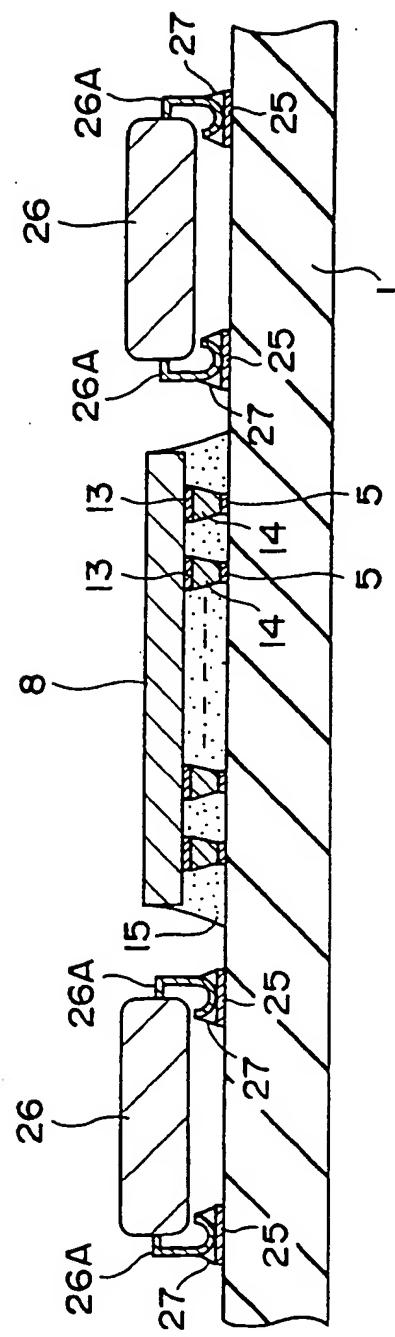


FIG. 15



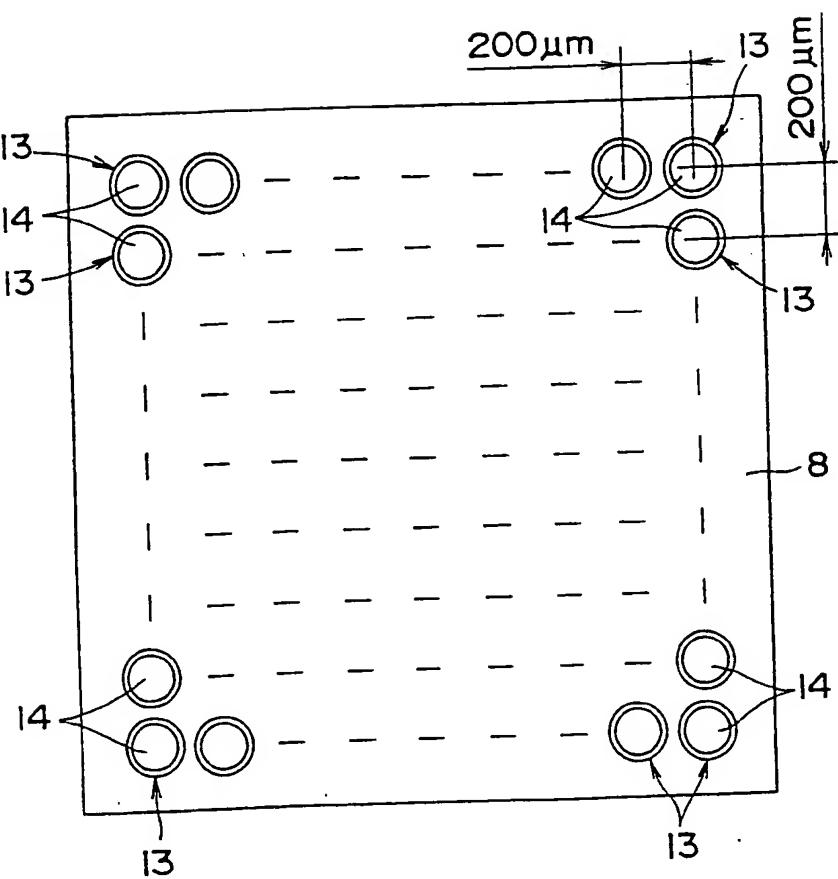
16/23

FIG. 16



17/23

FIG. 17



18/23

FIG. 18

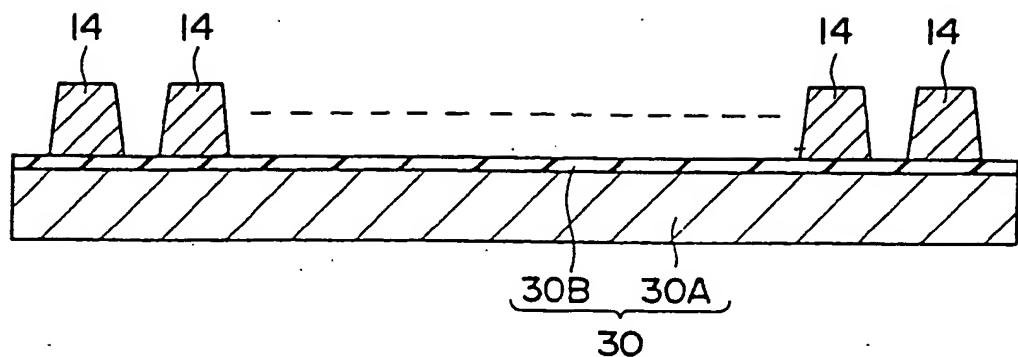
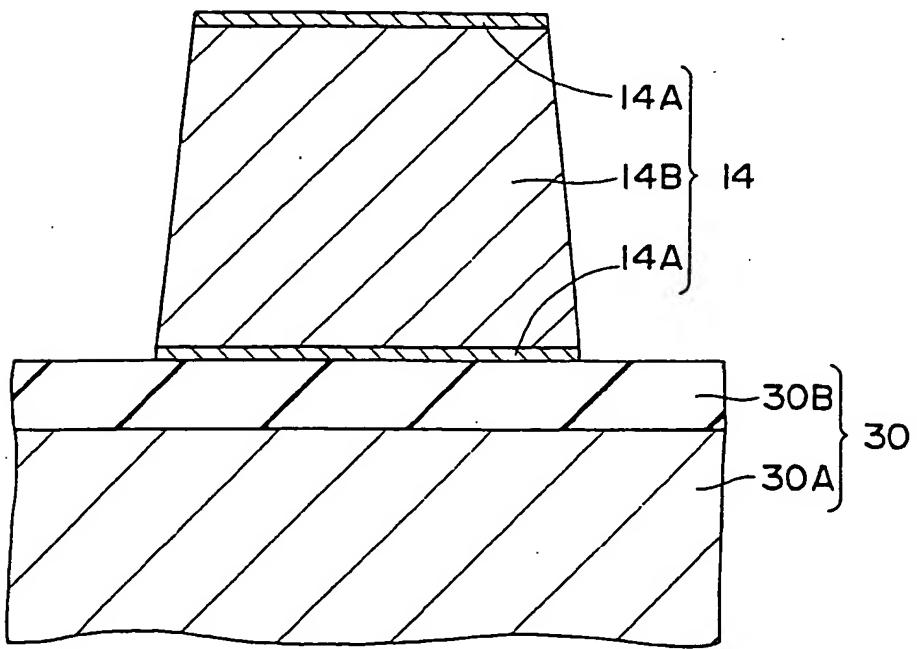
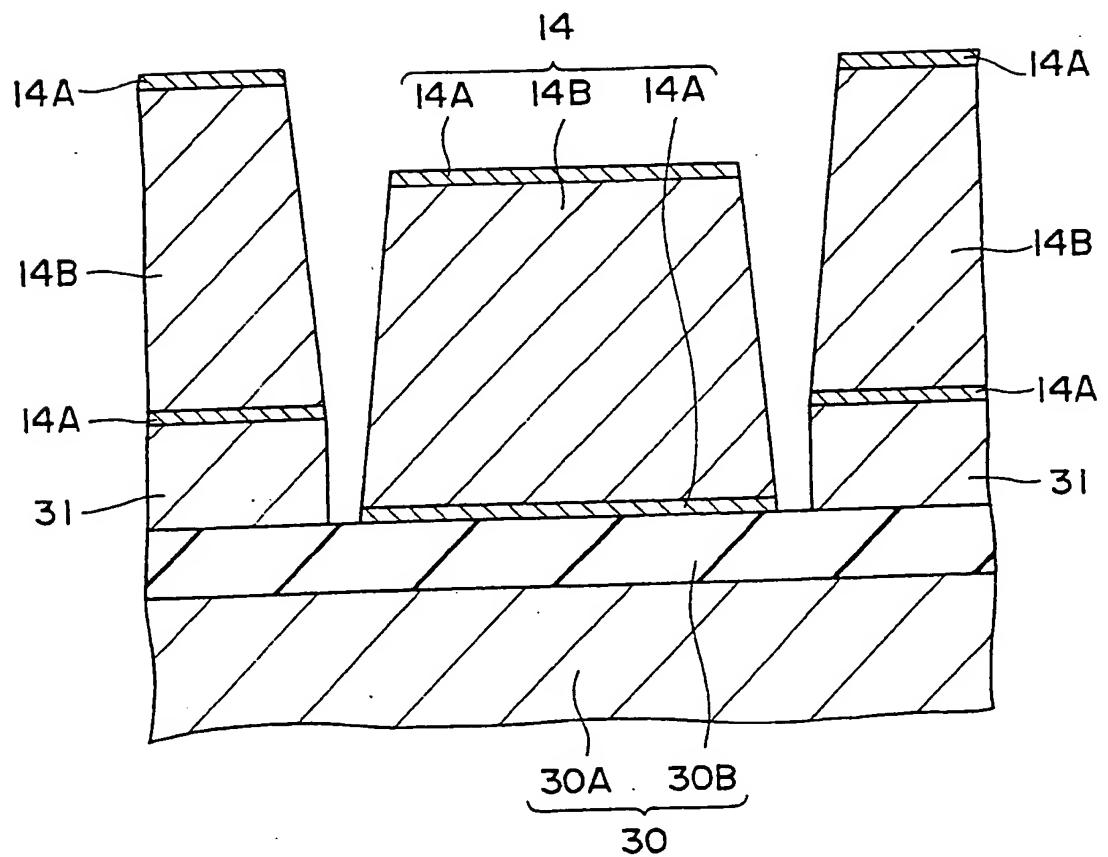


FIG. 19



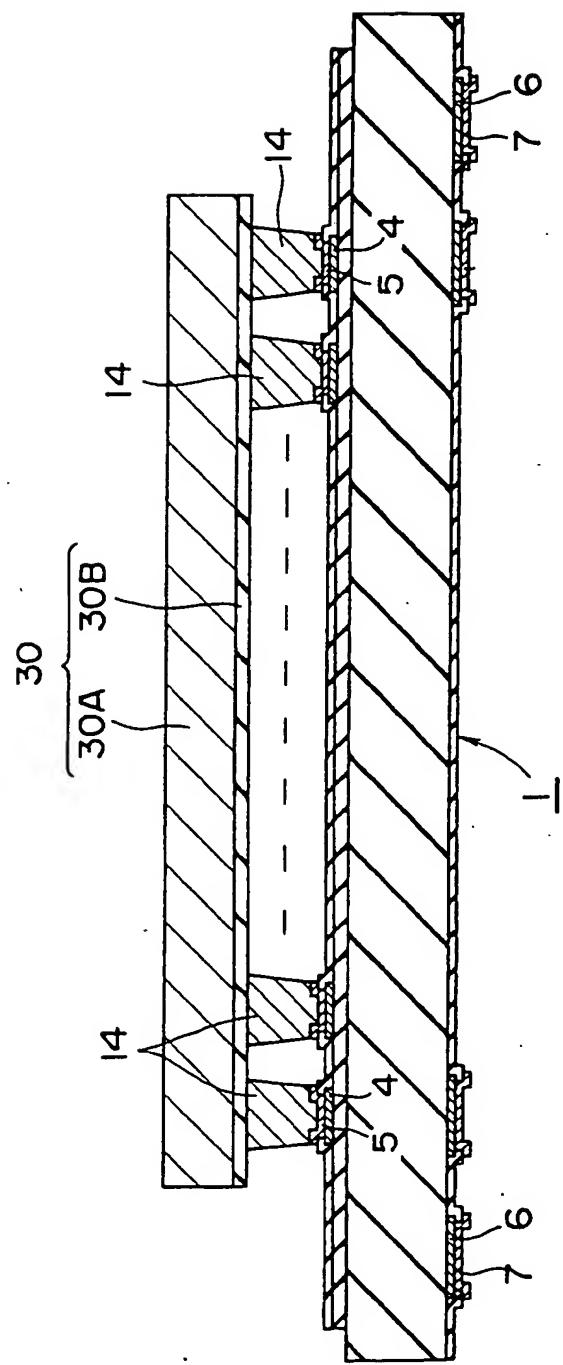
19/23

FIG. 20



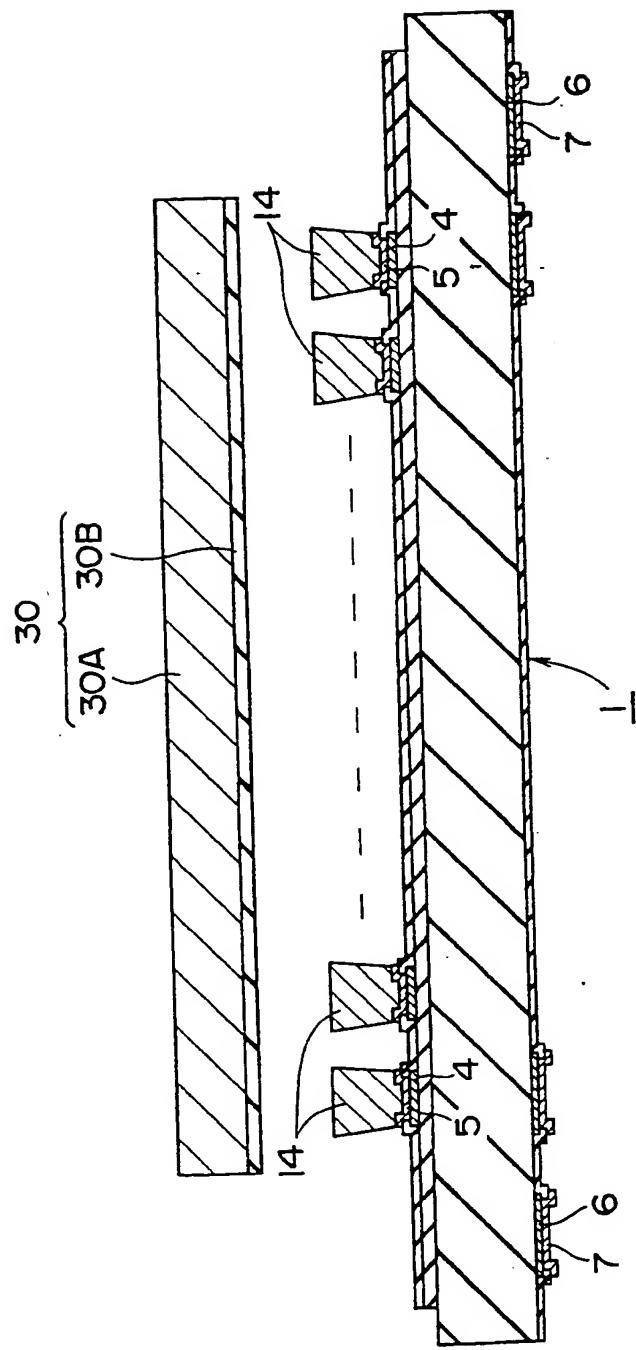
20/23

FIG. 21



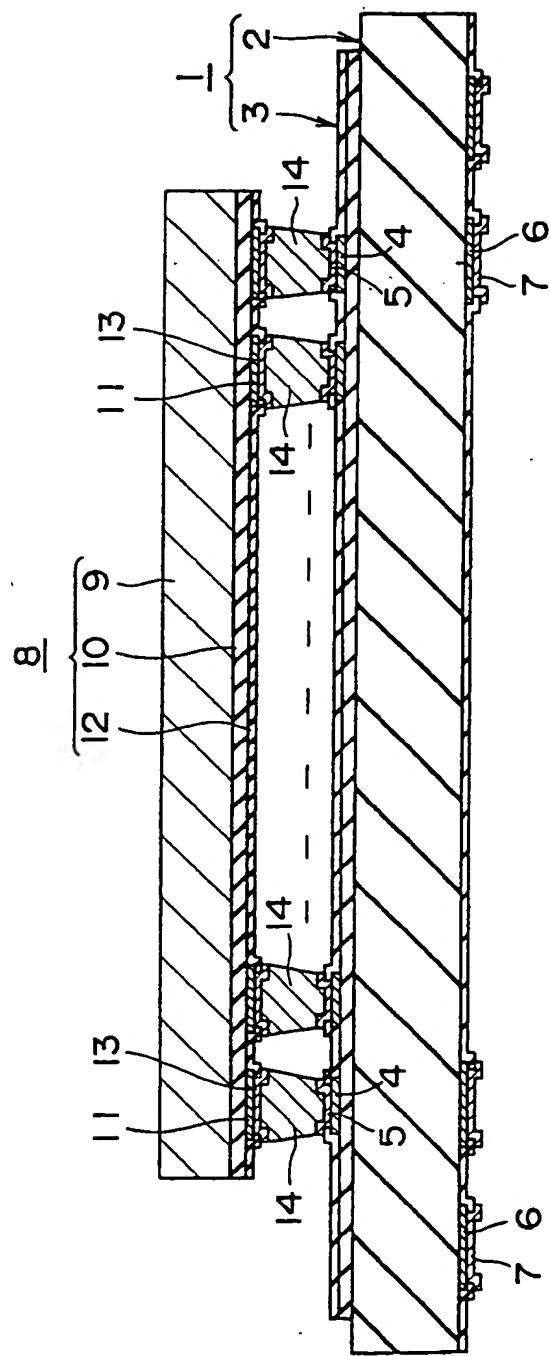
21/23

FIG. 22



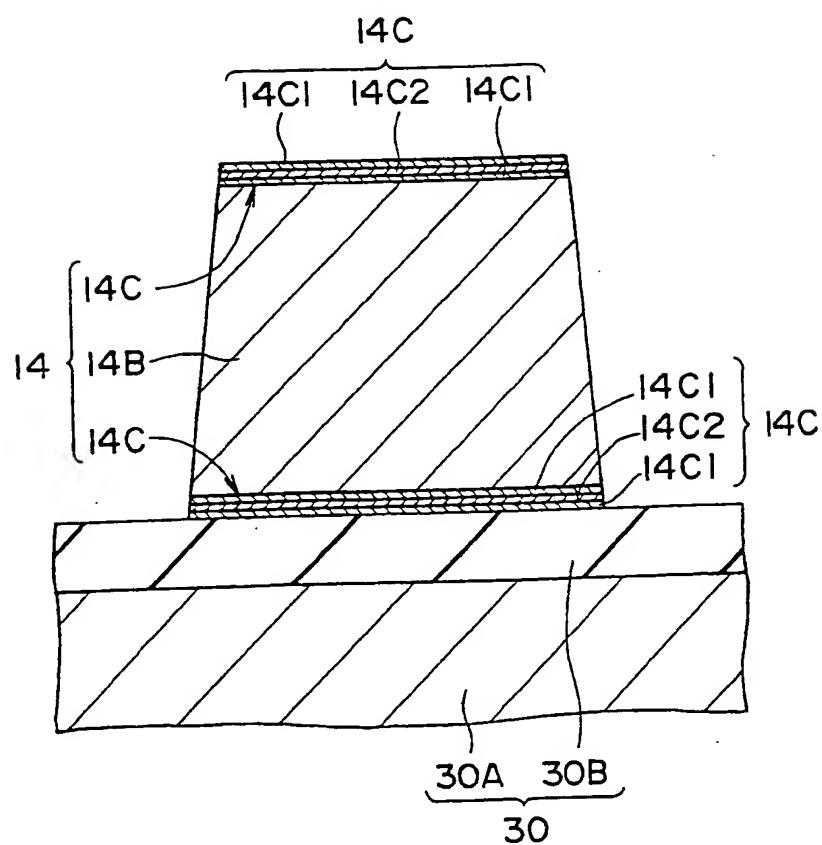
22/23

FIG. 23



23/23

FIG. 24



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00432

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/92, H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/92, H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922 - 1995  
Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 60-224248, A (Oki Electric Industry Co., Ltd.), November 8, 1985 (08. 11. 85), Lines 10 to 15, upper right column, page 3 (Family: none)	1
Y	JP, 63-146452, A (Oki Electric Industry Co., Ltd.), June 18, 1988 (18. 06. 88), Line 13, lower left column, page 3 to line 19, upper left column, lines 6 to 9, lower right column, page 4 (Family: none)	2, 3, 5, 7-9, 11, 13
A	JP, 1-208844, A (Hitachi, Ltd., Hitachi ULSI Engineering Corp.), February 17, 1988 (17. 02. 88), Lines 2 to 8, lower right column, page 2 (Family: none)	4, 6, 10, 12
Y	JP, 64-61038, A (NEC Corp.), March 8, 1989 (08. 03. 89) (Family: none)	1-3, 5, 6, 9, 11, 12
A		4, 7, 8, 10, 13
A		1 - 13
Y		3, 5, 10
A		1, 2, 4, 6-9, 11-13

 Further documents are listed in the continuation of Box C. See patent family annex.

- Special categories of cited documents:
- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier document but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search

May 7, 1996 (07. 05. 96)

Date of mailing of the international search report

May 21, 1996 (21. 05. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00432

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	By Solder Welding Handbook Edition Committee "Solder Welding Handbook" March 25, 1970 (25. 03. 70), Sanpo p. 109-111	3-6, 9-12
PX	JP, 7-302797, A (Motorola, Inc.), November 14, 1995 (14. 11. 95), Line 22, column 6 to line 18, column 8	1-3, 5-9, 11-13
PY	& US, 5470787, A	4, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. C1' H01L21/92, H01L21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. C1' H01L21/92, H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1995年

日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 60-224248 A (沖電気工業株式会社), 8.11月.1985(08.11.85), 第3頁右上欄第10-15行 (ファミリーなし)	1
Y		2, 3, 5, 7-9, 11, 13
A		4, 6, 10, 12
Y	JP, 63-146452 A (沖電気工業株式会社), 18.6月.1988(18.06.88), 第3頁左下欄第13行-第4頁左上欄第19行、同右下欄第6-9行(ファミリーなし)	1-3, 5, 6, 9, 11, 12
A		4, 7, 8, 10, 13
A	JP, 1-208844 A (株式会社日立製作所、日立超エル・エス・アイエンジニアリング株式会社), 17.2月.1988(17.02.88), 第2頁右下欄第2-8行 (ファミリーなし)	1-13
Y	JP, 64-61038 A (日本電気株式会社), 8.3月.1989(08.03.89) (ファミリーなし)	3, 5, 10
A		1, 2, 4, 6-9, 11-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.05.96

国際調査報告の発送日

21.05.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

印 4M 9169

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	ろう接便覧編集委員会編「ろう接便覧」25.3月.1970(25.03.70)産報 p.109-111	3-6, 9-12
PX	J P, 7-302797 A (モトローラ・インコーポレイテッド), 14.11月.199	1-3, 5-9, 11-13
PY	5(14.11.95)第6欄第22行-第8欄第18行&U S 5 4 7 0 7 8 7, A	4, 10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)